

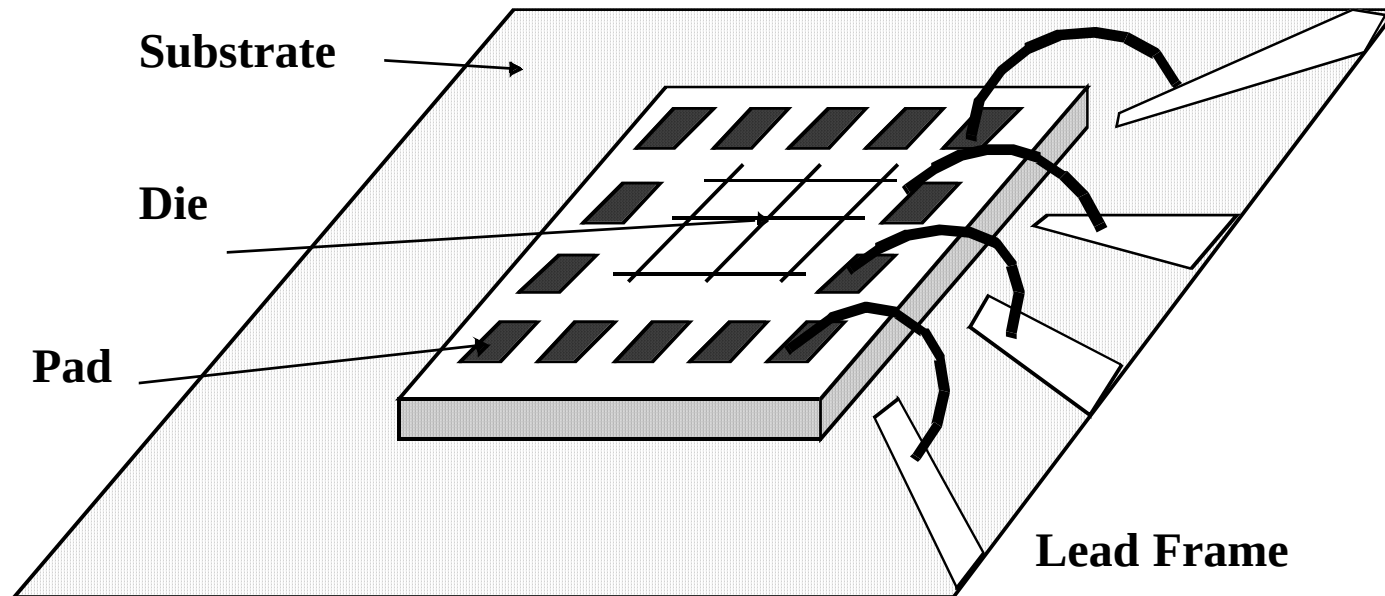
Encapsulamento

- **Requisitos**

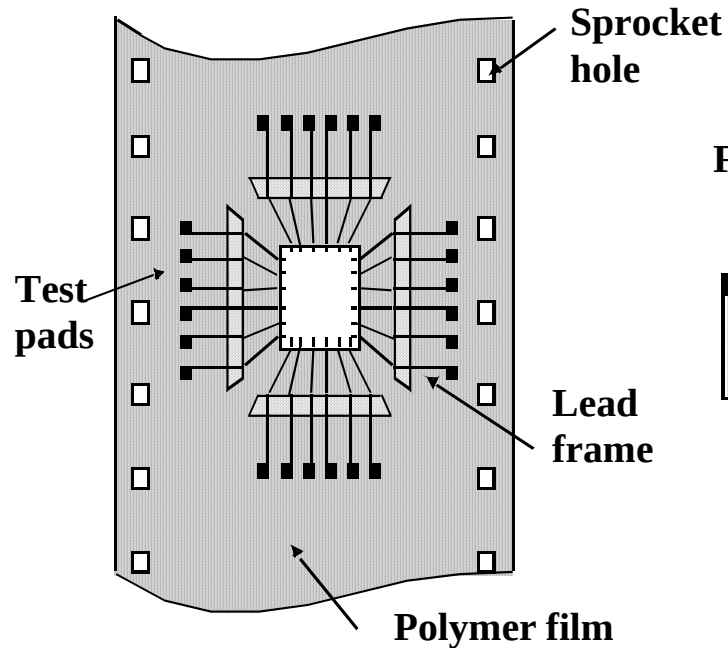
- Eléctrico: parasitas reduzidos
- Mecânico: robusto e durável
- Térmico: remoção eficiente do calor
- Económico: barato!

Técnicas de Bonding

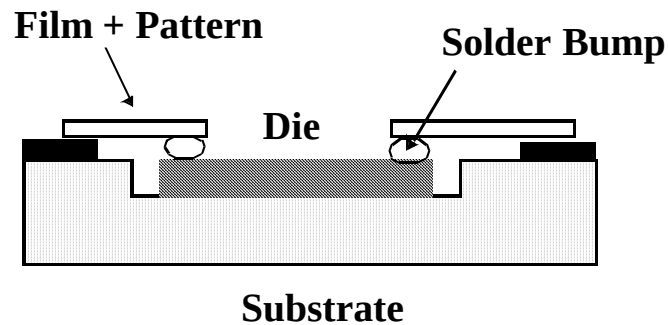
Wire Bonding



Tape-Automated Bonding (TAB)

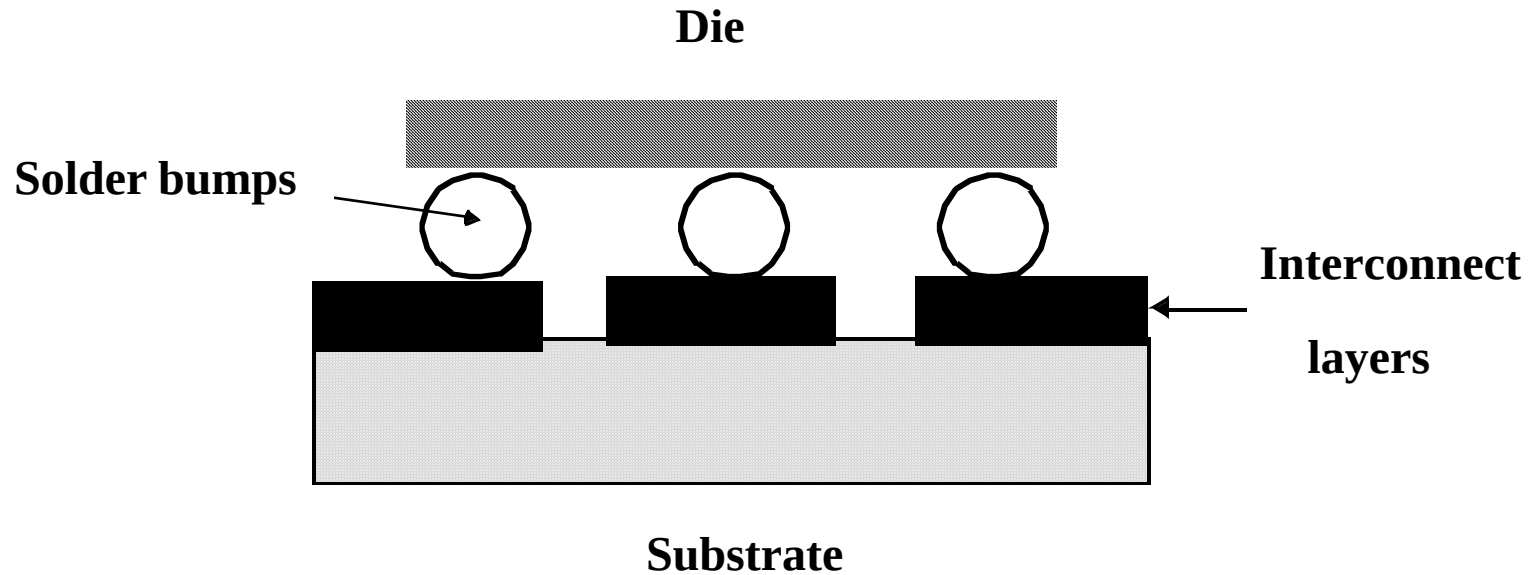


(a) Polymer Tape with imprinted wiring pattern.

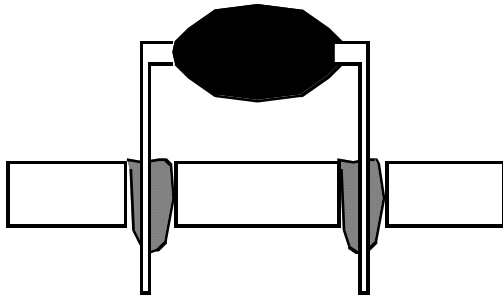


(b) Die attachment using solder bumps.

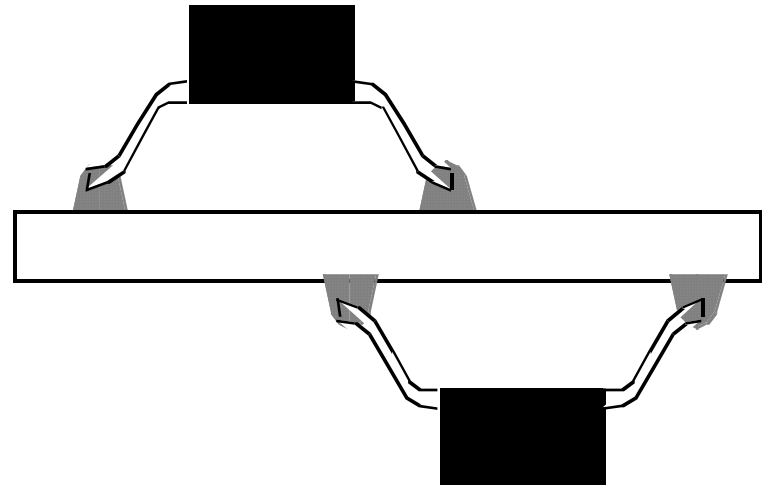
Flip-Chip Bonding



Interconecção Package-to-Board

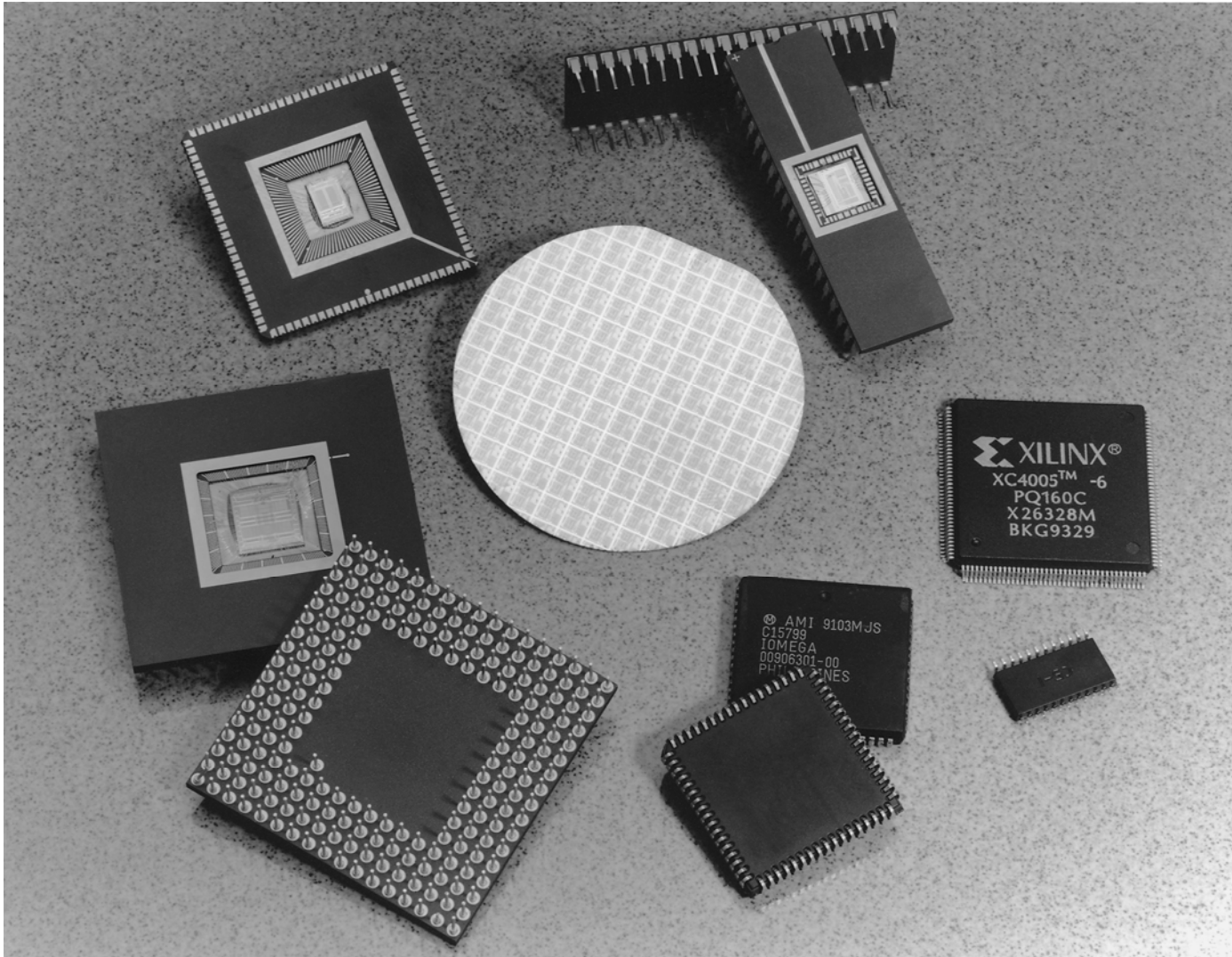


(a) Through-Hole Mounting



(b) Surface Mount

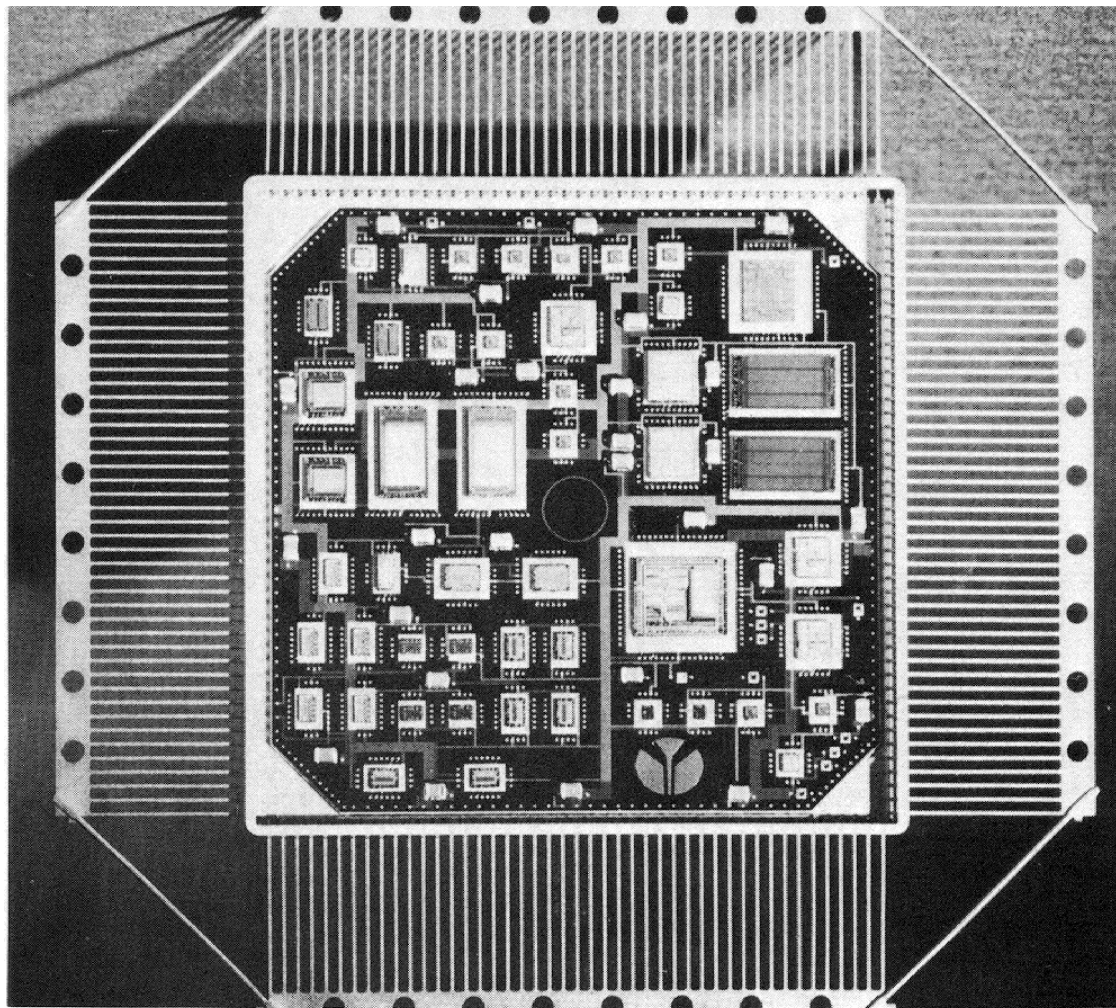
Tipos de encapsulamentos



Parâmetros típicos do Package

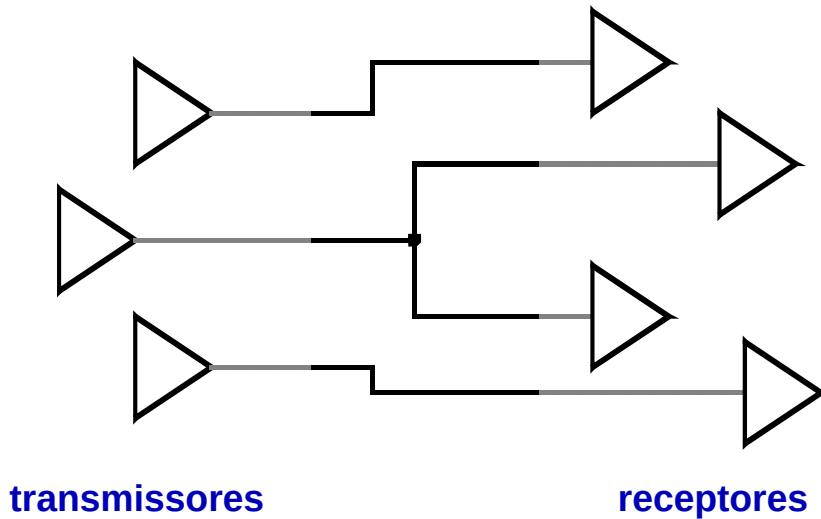
Package Type	Capacitance (pF)	Inductance (nH)
68 Pin Plastic DIP	4	35
68 Pin Ceramic DIP	7	20
256 Pin Pin Grid Array	5	15
Wire Bond	1	1
Solder Bump	0.5	0.1

Módulos Multi-Chip

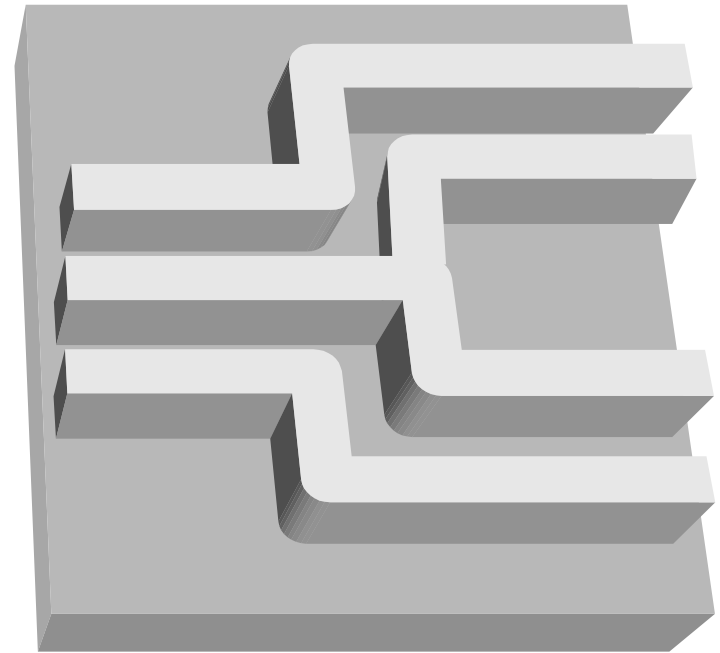


Fios

- Resistência
- Capacidade
- Indutância

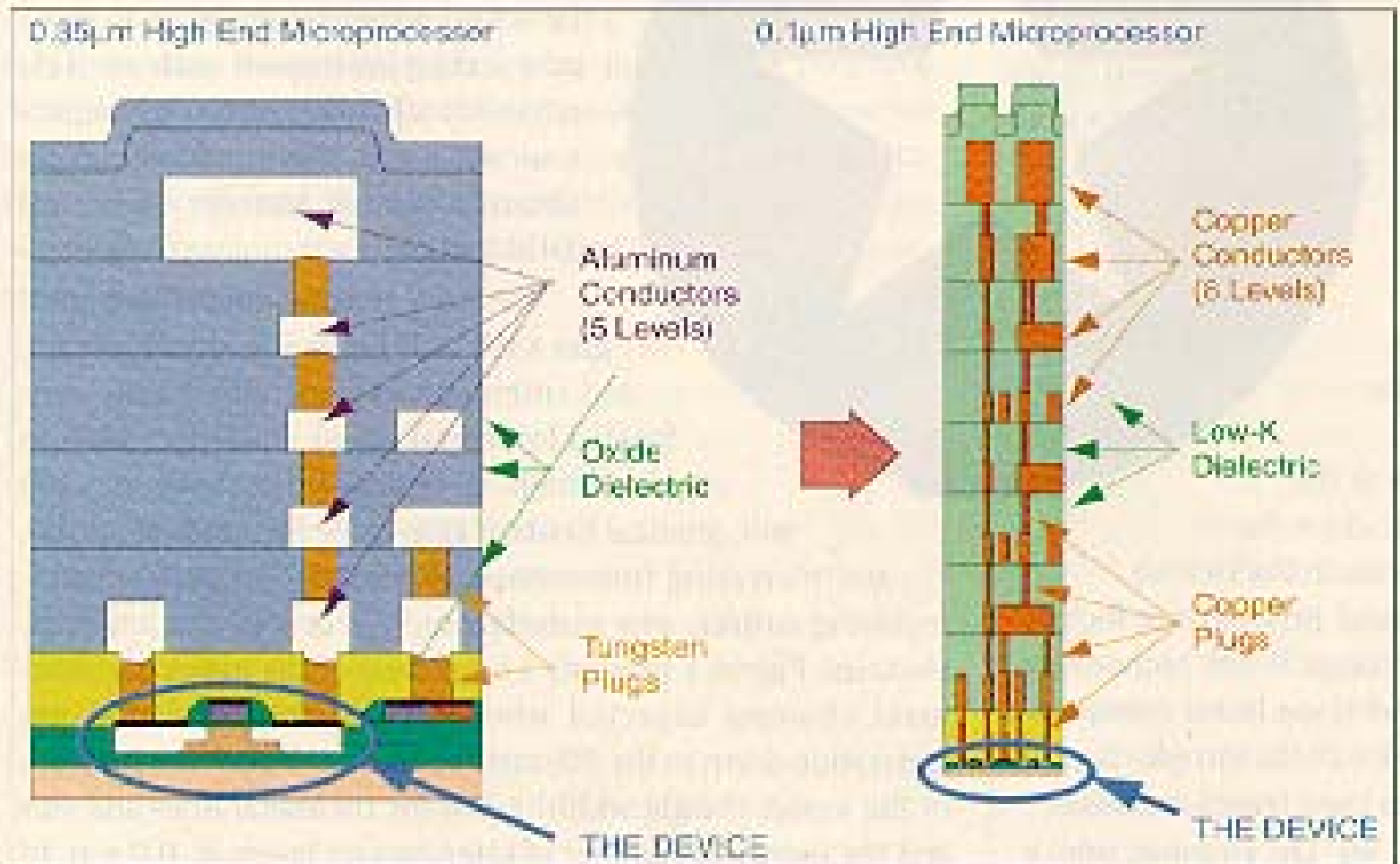


esquemático



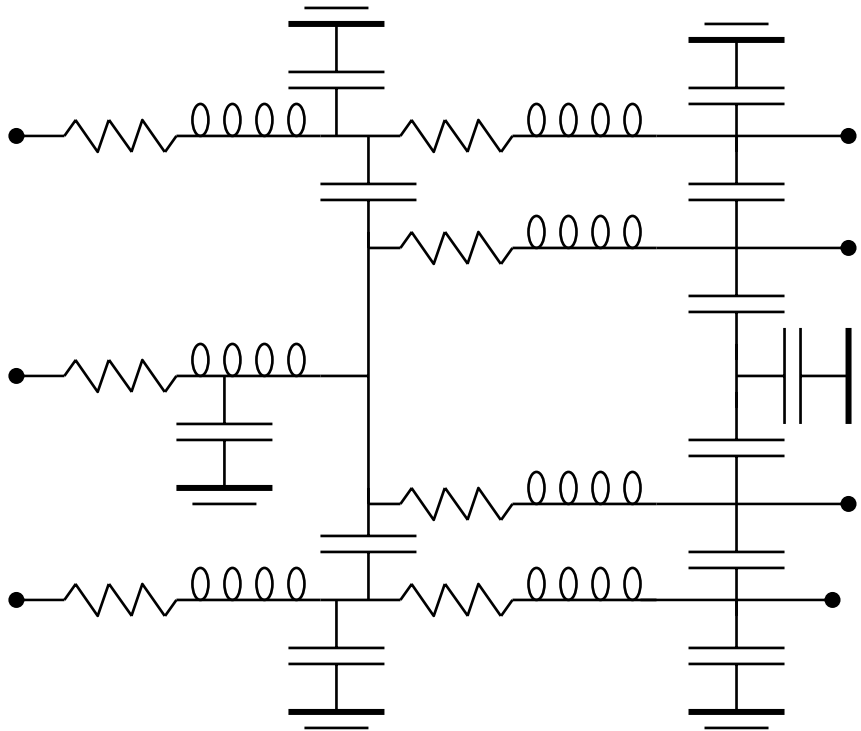
físico

Impacto das ligações no chip/sistema

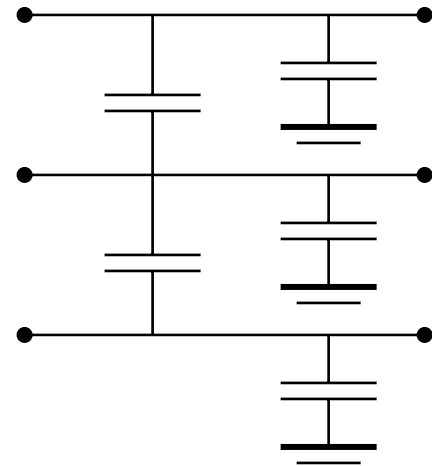


1. Process architecture challenge.

Modelos para fios



Modelo com tudo incluído (R, L,C)

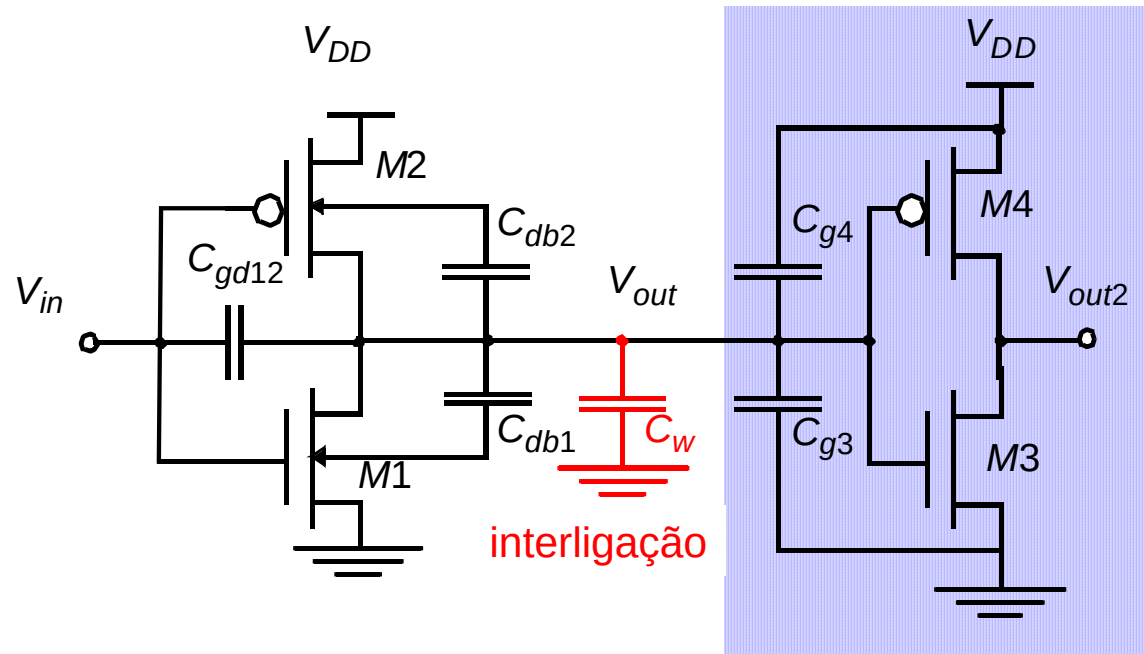


Só capacidades

Impacto dos parasitas das interligações

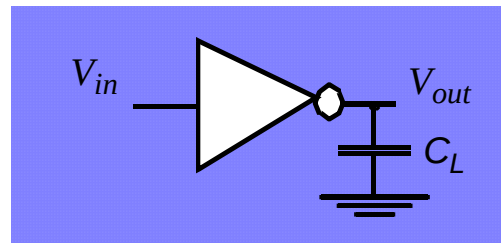
- Parasitas das interligações
 - Reduzem a fiabilidade
 - Afectam o desempenho e o consumo de potência
- Classes de parasitas
 - Capacitivos
 - Resistivos
 - Indutivos

Capacidade da interligação

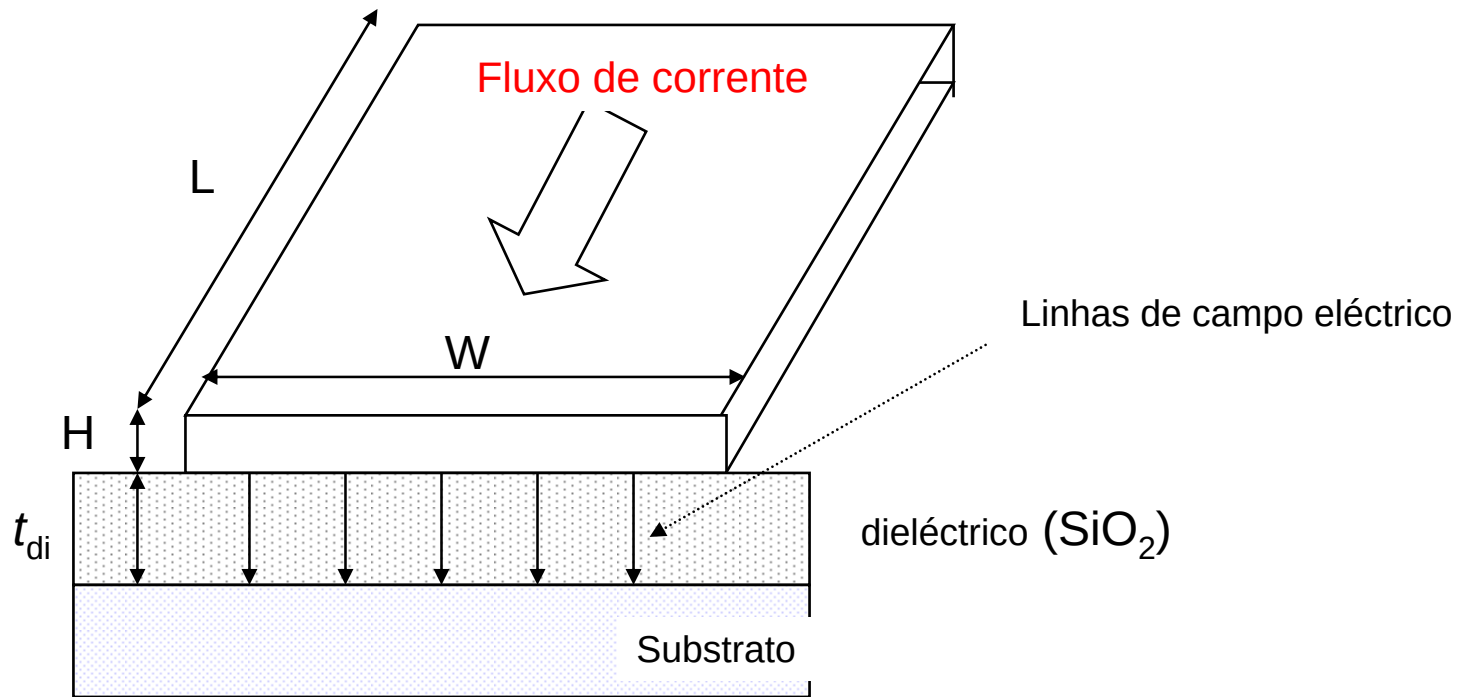


Fanout

Modelo
simplificado



Capacidade: Modelo dos pratos paralelos



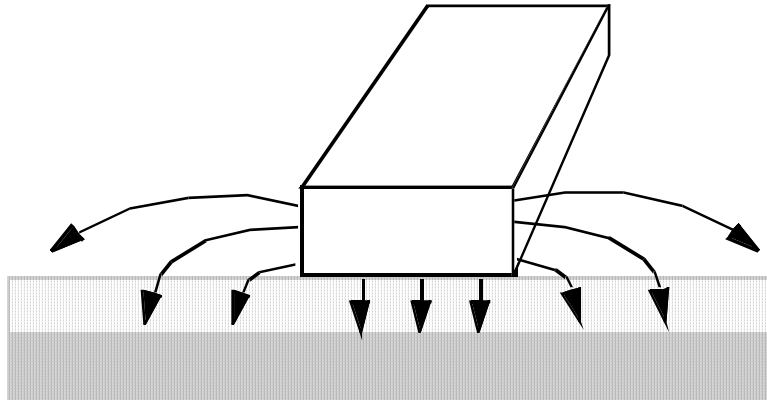
permitividade
($\text{SiO}_2 = 3.9$)

$$C_{pp} = (\epsilon_{di}/t_{di}) WL$$

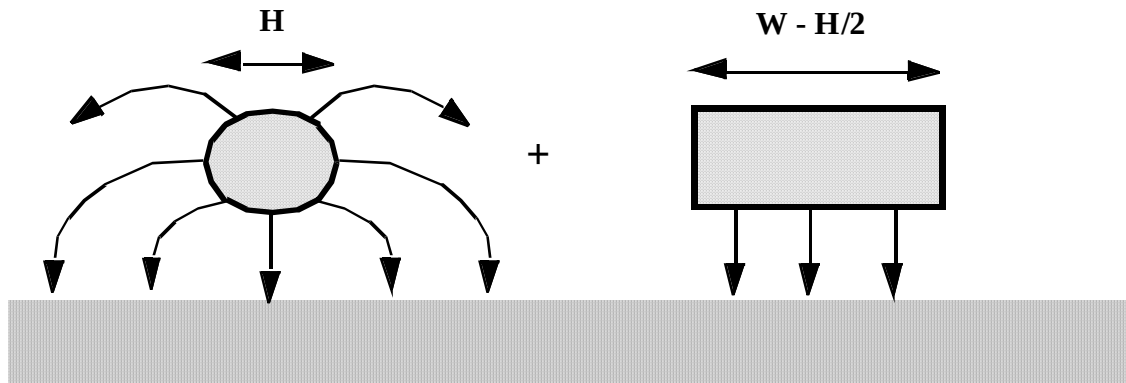
Permitividade

Material	ϵ_{di}
Free space	1
Teflon AF	2.1
Aromatic thermosets (SiLK)	2.6 – 2.8
Polyimides (organic)	3.1 – 3.4
Fluorosilicate glass (FSG)	3.2 – 4.0
Silicon dioxide	3.9 – 4.5
Glass epoxy (PCBs)	5
Silicon nitride	7.5
Alumina (package)	9.5
Silicon	11.7

Capacidade de franja



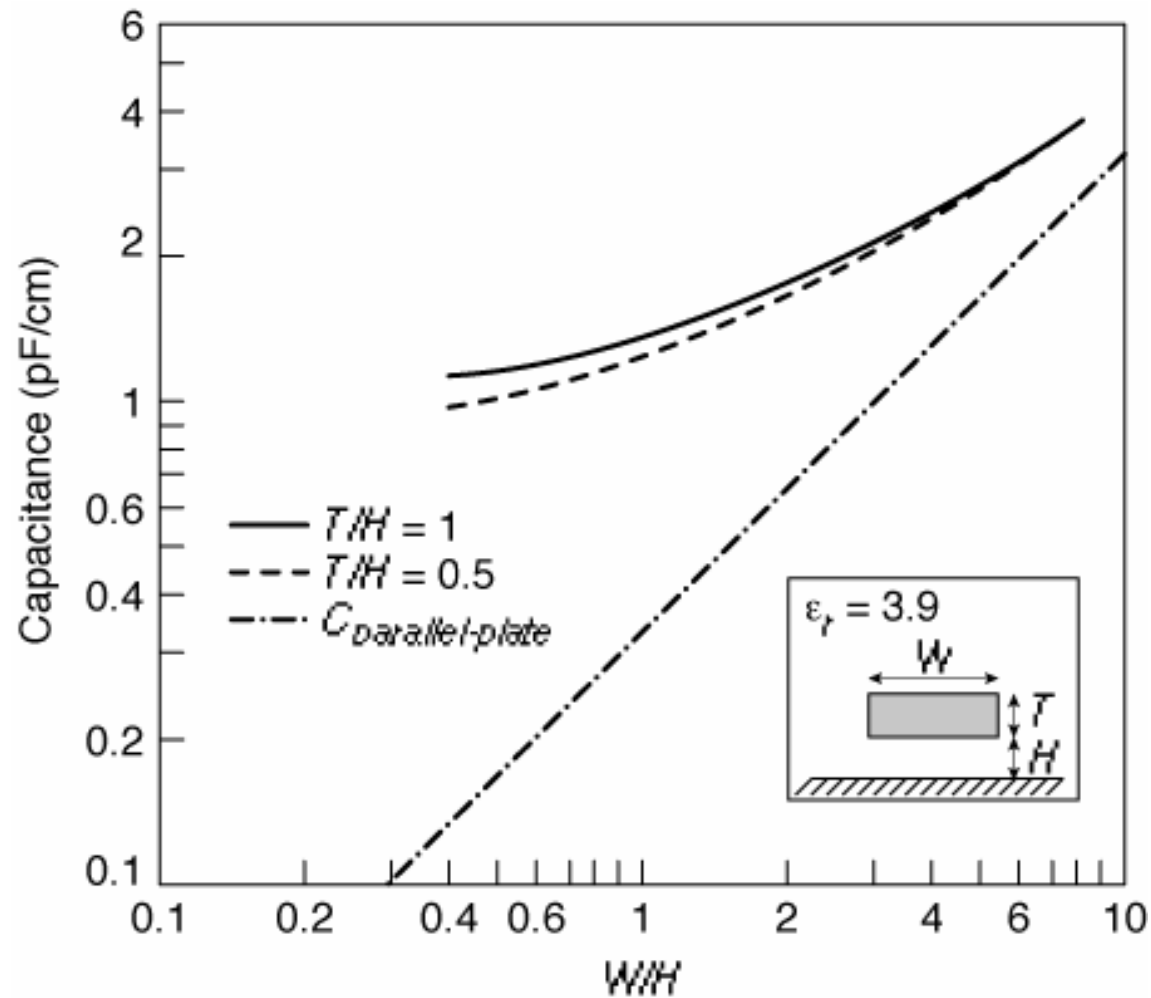
(a)



(b)

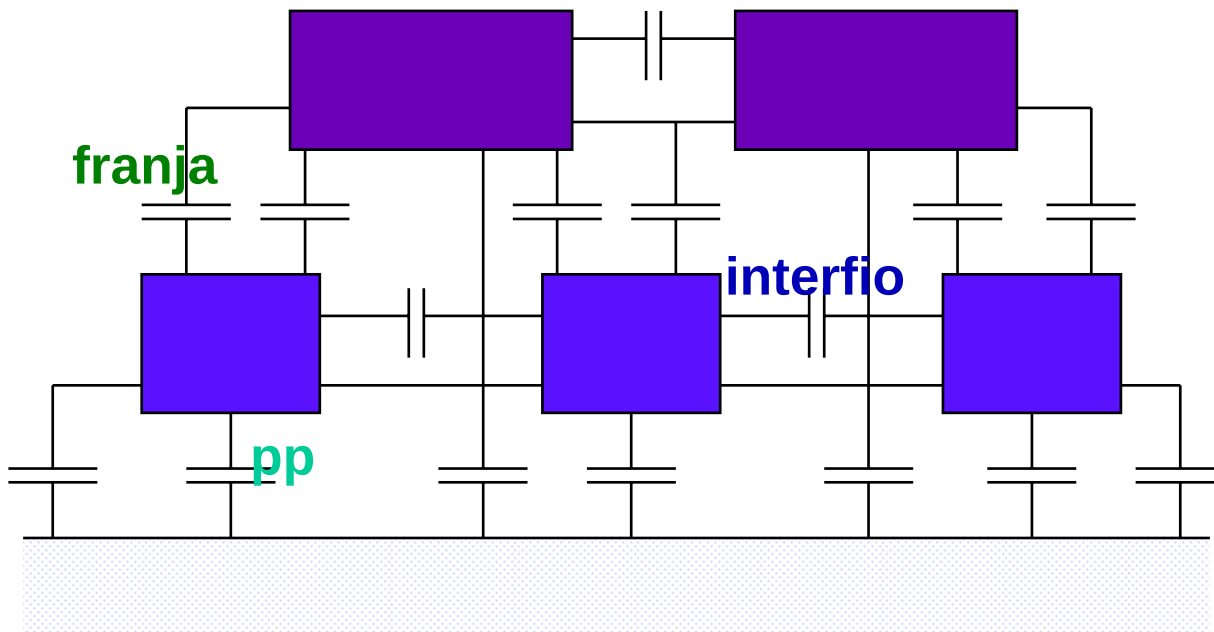
$$c_{wire} = c_{pp} + c_{fringe} = \frac{w\epsilon_{di}}{t_{di}} + \frac{2\pi\epsilon_{di}}{\log(t_{di}/H)}$$

Franja vs. Pratos paralelos

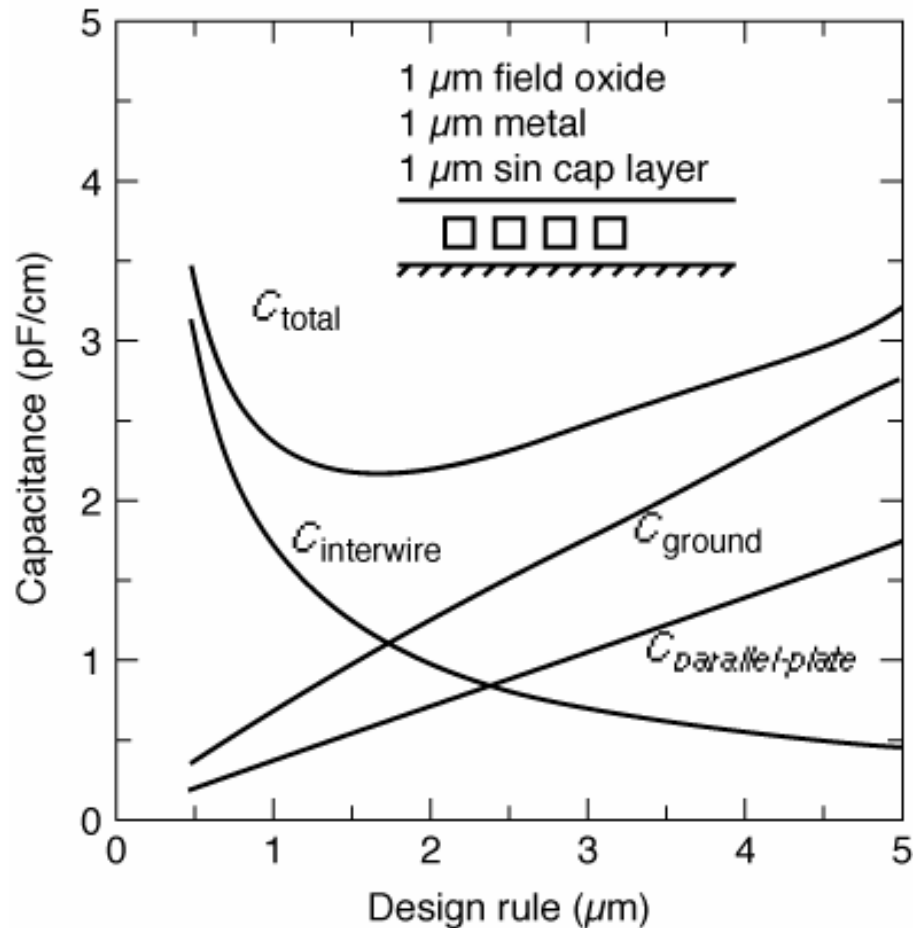


Capacidades interfio

$$\begin{aligned}C_{\text{wire}} &= C_{\text{pp}} + C_{\text{fringe}} + C_{\text{interwire}} \\&= (\epsilon_{\text{di}}/t_{\text{di}})WL \\&\quad + (2\pi\epsilon_{\text{di}})/\log(t_{\text{di}}/H) \\&\quad + (\epsilon_{\text{di}}/t_{\text{di}})HL\end{aligned}$$



Impacto da capacidade interfio



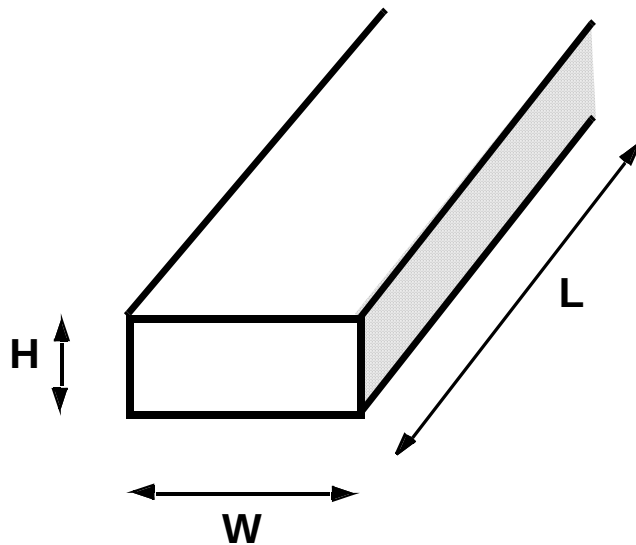
Capacidades dos fios (0.25 μm CMOS)

	Field	Active	Poly	Al1	Al2	Al3	Al4
Poly	88						
	54				pp em aF/ μm^2		
Al1	30	41	57		franja in aF/ μm		
	40	47	54				
Al2	13	15	17	36			
	25	27	29	45			
Al3	8.9	9.4	10	15	41		
	18	19	20	27	49		
Al4	6.5	6.8	7	8.9	15	35	
	14	15	15	18	27	45	
Al5	5.2	5.4	5.4	6.6	9.1	14	38
	12	12	12	14	19	27	52

	Poly	Al1	Al2	Al3	Al4	Al5
Interwire Cap	40	95	85	85	85	115

Por unidade de comprimento aF/ μm para espaçamento mínimo

Resistência da ligação



$$R = \frac{\rho L}{H W} \quad \text{Como } H \text{ igual para todos}$$

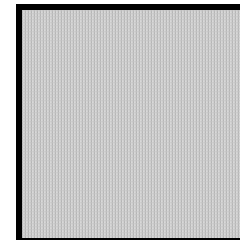
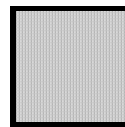
Resistência da folha

$R_{\square}$

R_1

$\equiv$

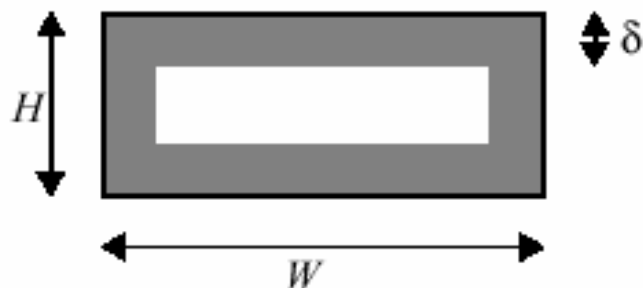
R_2



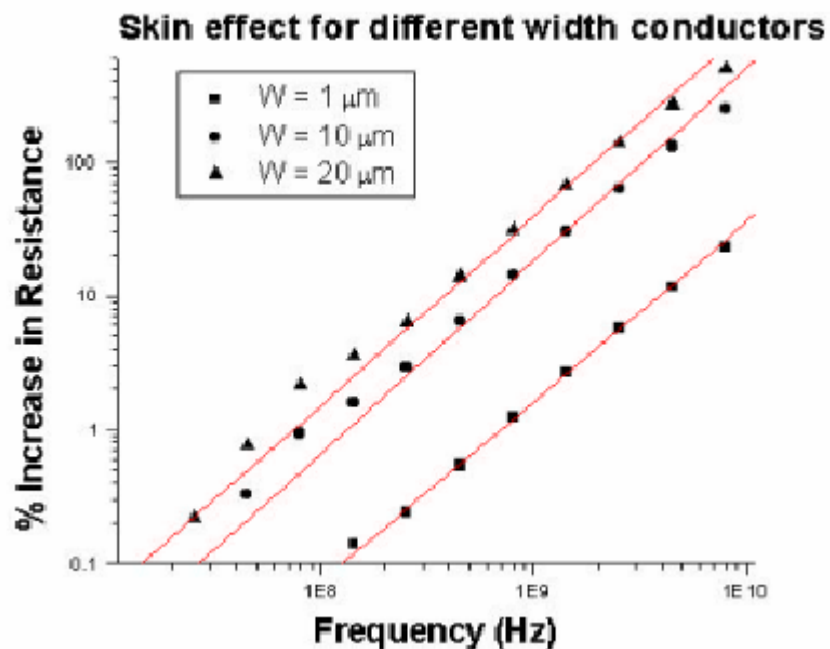
Resistência de interligação

Material	ρ (Ω -m)
Silver (Ag)	1.6×10^{-8}
Copper (Cu)	1.7×10^{-8}
Gold (Au)	2.2×10^{-8}
Aluminum (Al)	2.7×10^{-8}
Tungsten (W)	5.5×10^{-8}

Efeito pelicular



$$\delta = \sqrt{\frac{\rho}{\pi f \mu}}$$

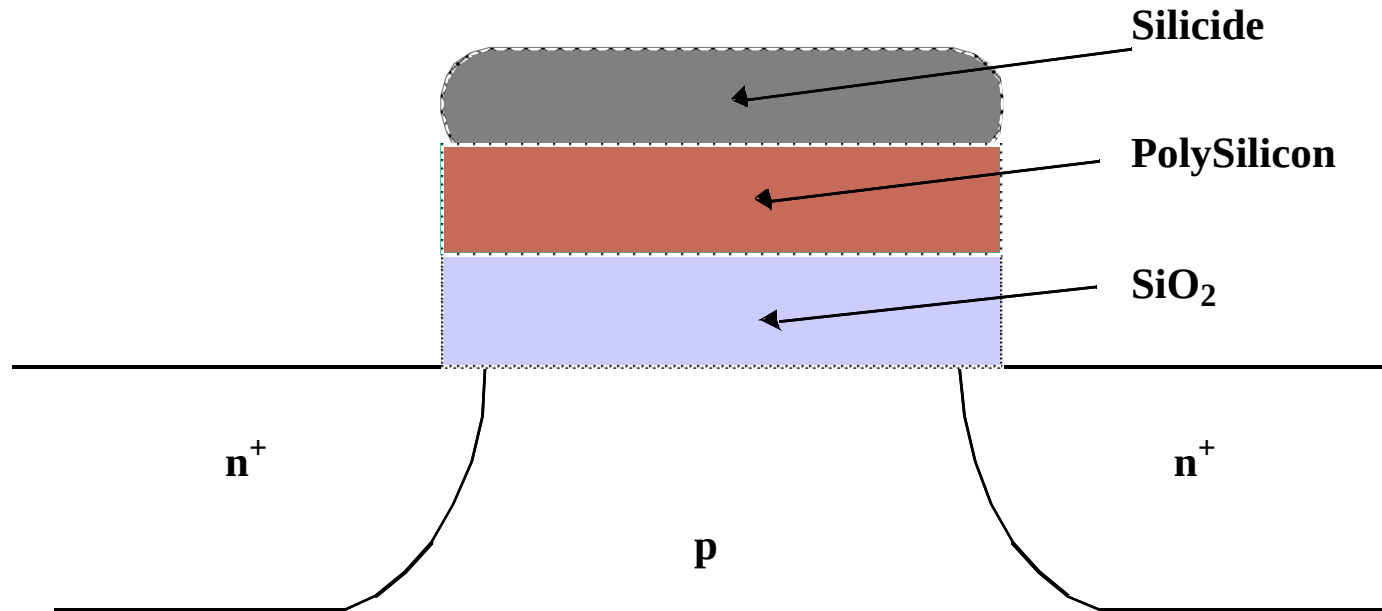


Variação da resistência

O que fazer à resistência

- **Redução selectiva da tecnologia**
- **Utilizar melhores materiais**
 - Reduzir o comprimento médio das interligações
 - E.g. Cobre, silicidas
- **Mais níveis de interligação**
 - Reduz o comprimento médio das interligações

Gate do MOSFET com Polycide



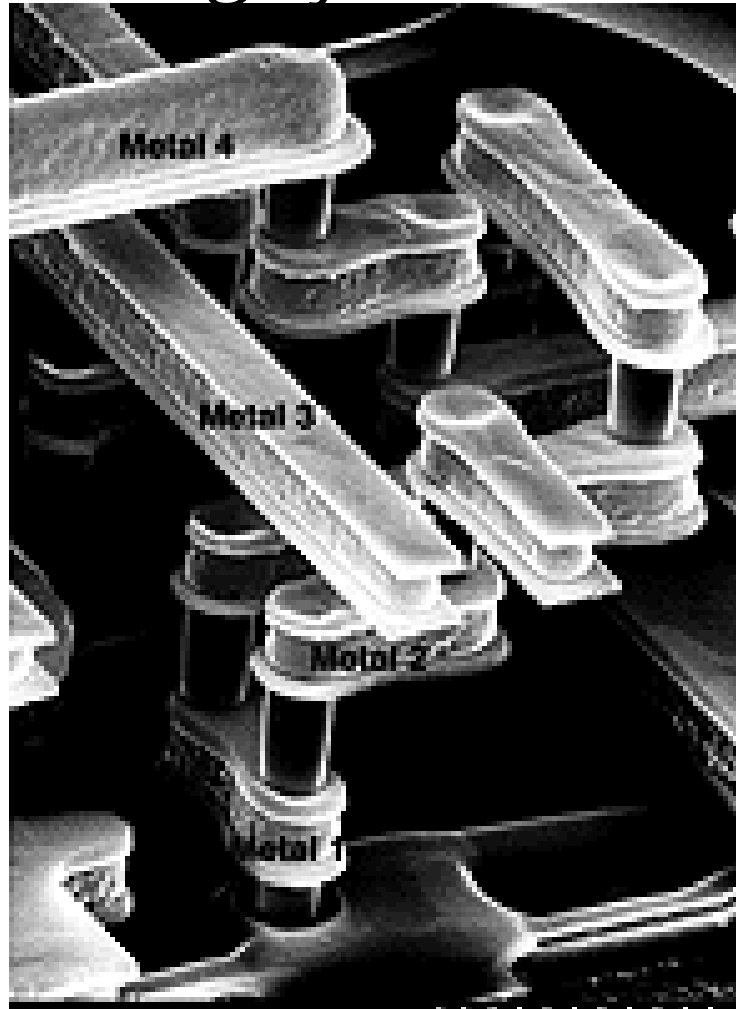
Silicides: WSi₂, TiSi₂, PtSi₂ and TaSi

Conductividade: 8-10 vezes melhor que Poly

Resistência da folha

Material	Sheet Resistance ($\Omega/\square$)
n- or p-well diffusion	1000 – 1500
n^+ , p^+ diffusion	50 – 150
n^+ , p^+ diffusion with silicide	3 – 5
n^+ , p^+ polysilicon	150 – 200
n^+ , p^+ polysilicon with silicide	4 – 5
Aluminum	0.05 – 0.1

Interligação Moderna



Exemplo: Processo Intel 0.25 micron

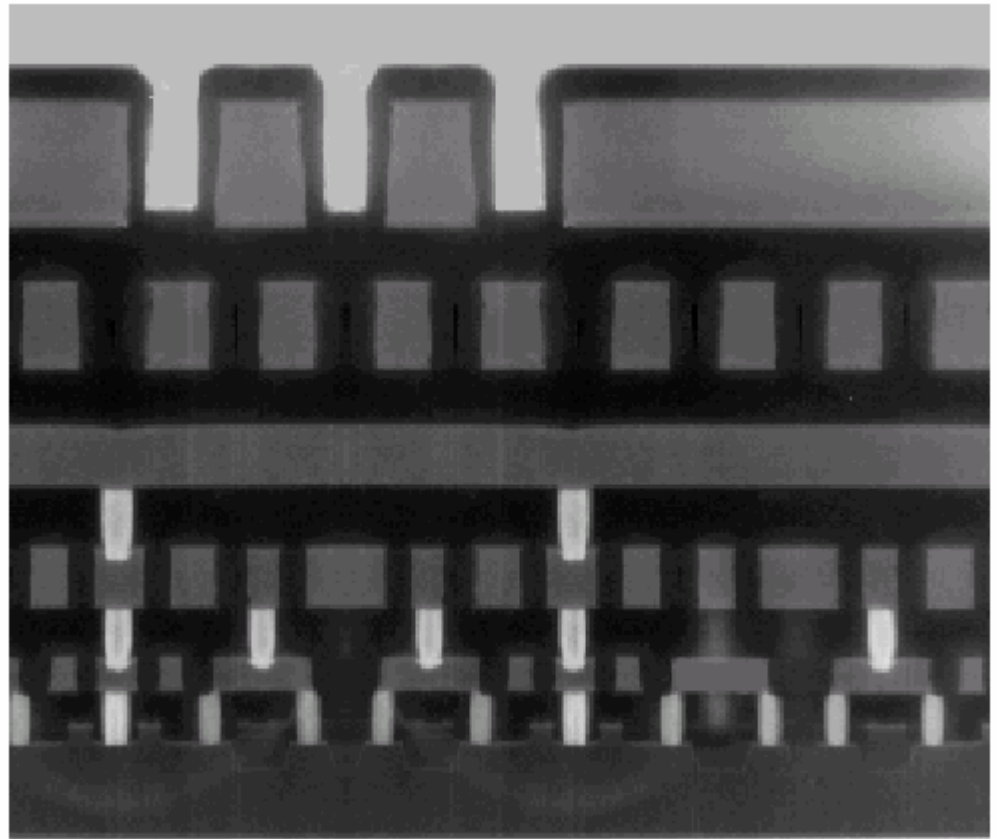
5 metal layers

Ti/Al - Cu/Ti/TiN

Polysilicon dielectric

<u>LAYER</u>	<u>PITCH</u>	<u>THICK</u>	<u>A.R.</u>
Isolation	0.67	0.40	-
Polysilicon	0.64	0.25	-
Metal 1	0.64	0.48	1.5
Metal 2	0.93	0.90	1.9
Metal 3	0.93	0.90	1.9
Metal 4	1.60	1.33	1.7
Metal 5	2.56	1.90	1.5
	μm	μm	

Layer pitch, thickness and aspect ratio



Interligação

$$\Delta V = L \frac{di}{dt}$$

- Indutância
- Modelização das interligações

Ruído em circuitos digitais integrados

- **Ruído** – variação indesejada de tensões e correntes nos nós lógicos

- de dois fios lado a lado

- **Acoplamento capacitivo**

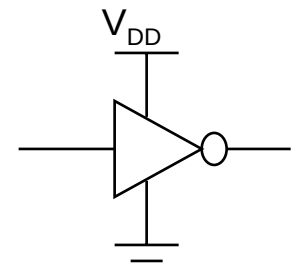
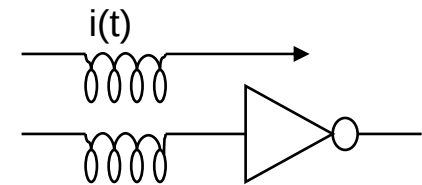
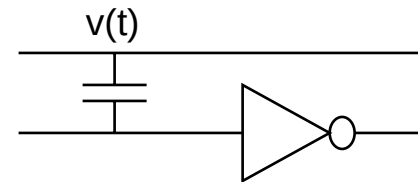
- a variação de tensão num fio pode influenciar o sinal num fio vizinho
 - *cross talk*

- **Acoplamento indutivo**

- a variação de corrente num fio pode influenciar o sinal num fio vizinho

- de ruído nas linhas de alimentação e ligação à massa

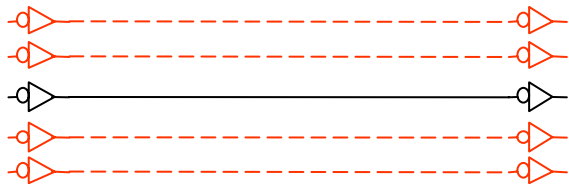
- Podem influenciar os níveis de sinal na *gate*



Exemplo de acoplamento capacitivo

- Transições nos sinais (*glitches*) até 80% da tensão de alimentação serão comuns devido ao crosstalk entre fios vizinhos, à medida que as dimensões vão sendo reduzidas.

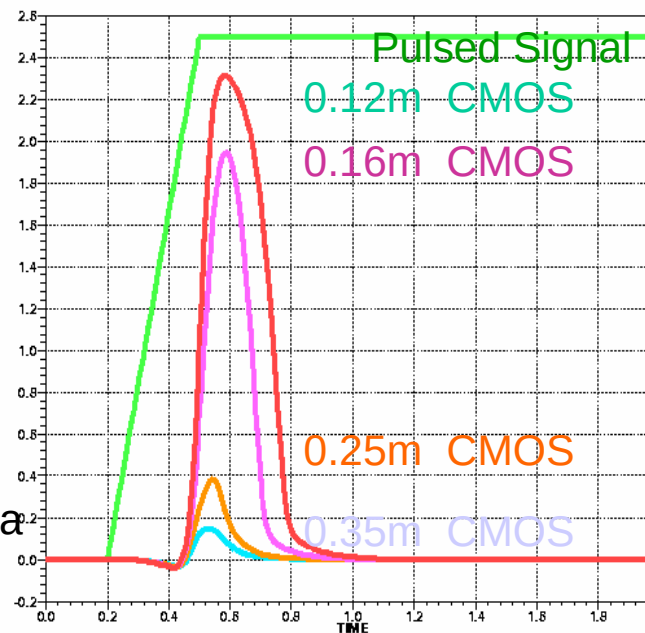
Crosstalk vs. Tecnologia



Linha inactiva —————

Linhas pulsadas - - - - -

Intensidade dos *glitches* vs tecnologia

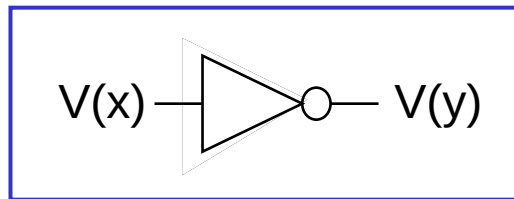


De Dunlop, Lucent, 2000

Comportamento estático da *gate*

- Parâmetros em repouso da gate - *comportamento estático* – informam acerca da robustez do circuito relativamente às variações do processo de fabrico e às perturbações de ruído
- Os circuitos digitais efectuam operações sobre variáveis Booleanas $x \in \{0,1\}$
- Uma variável lógica está associada a *um nível de tensão nominal* para cada estado lógico

$$1 \Leftrightarrow V_{OH} \text{ e } 0 \Leftrightarrow V_{OL}$$



$$V_{OH} = ! (V_{OL})$$

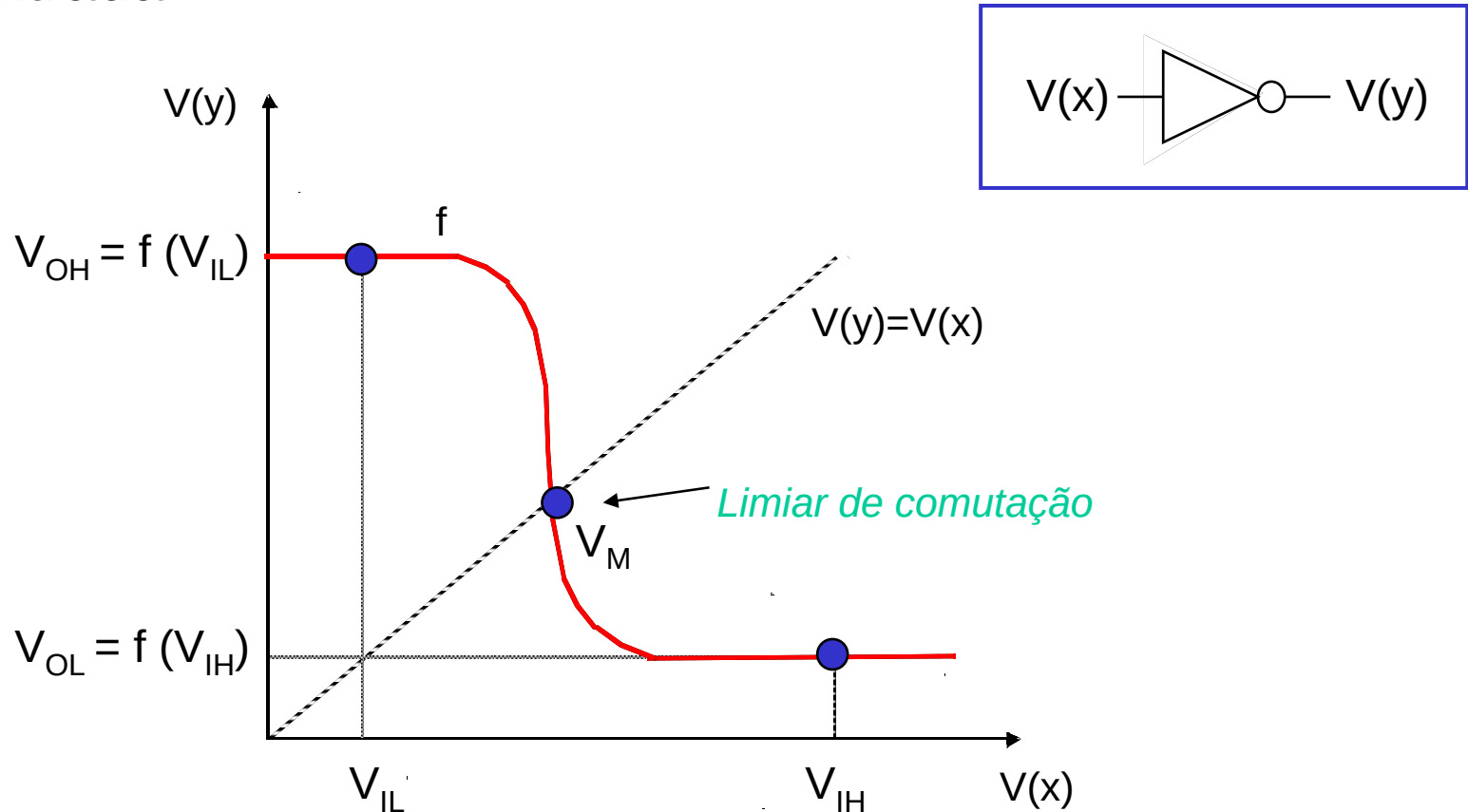
$$V_{OL} = ! (V_{OH})$$

- A diferença entre V_{OH} e V_{OL} é a excursão lógica V_{sw} (signal swing)

Operação DC

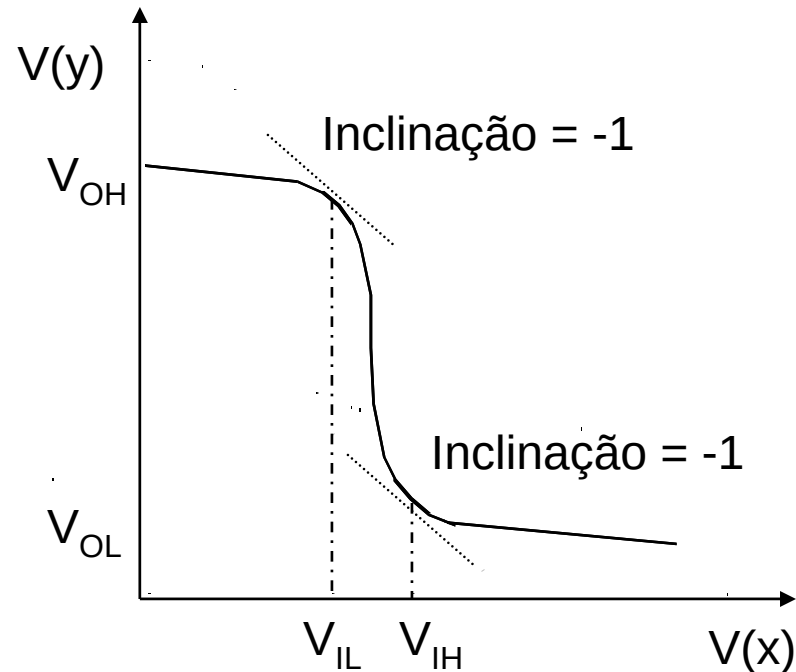
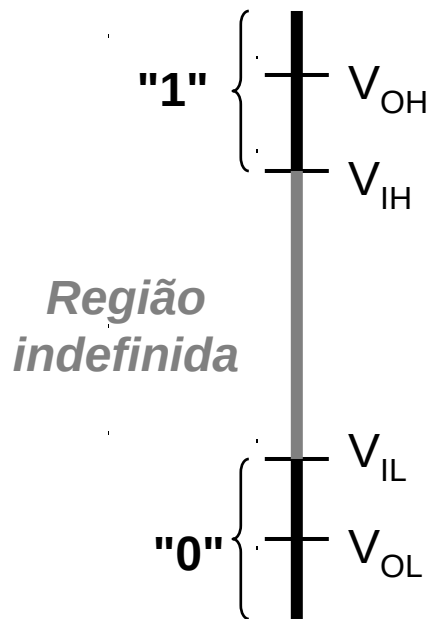
Voltage Transfer Characteristics (VTC)

- ❑ Traçado da tensão de saída em função da tensão de entrada



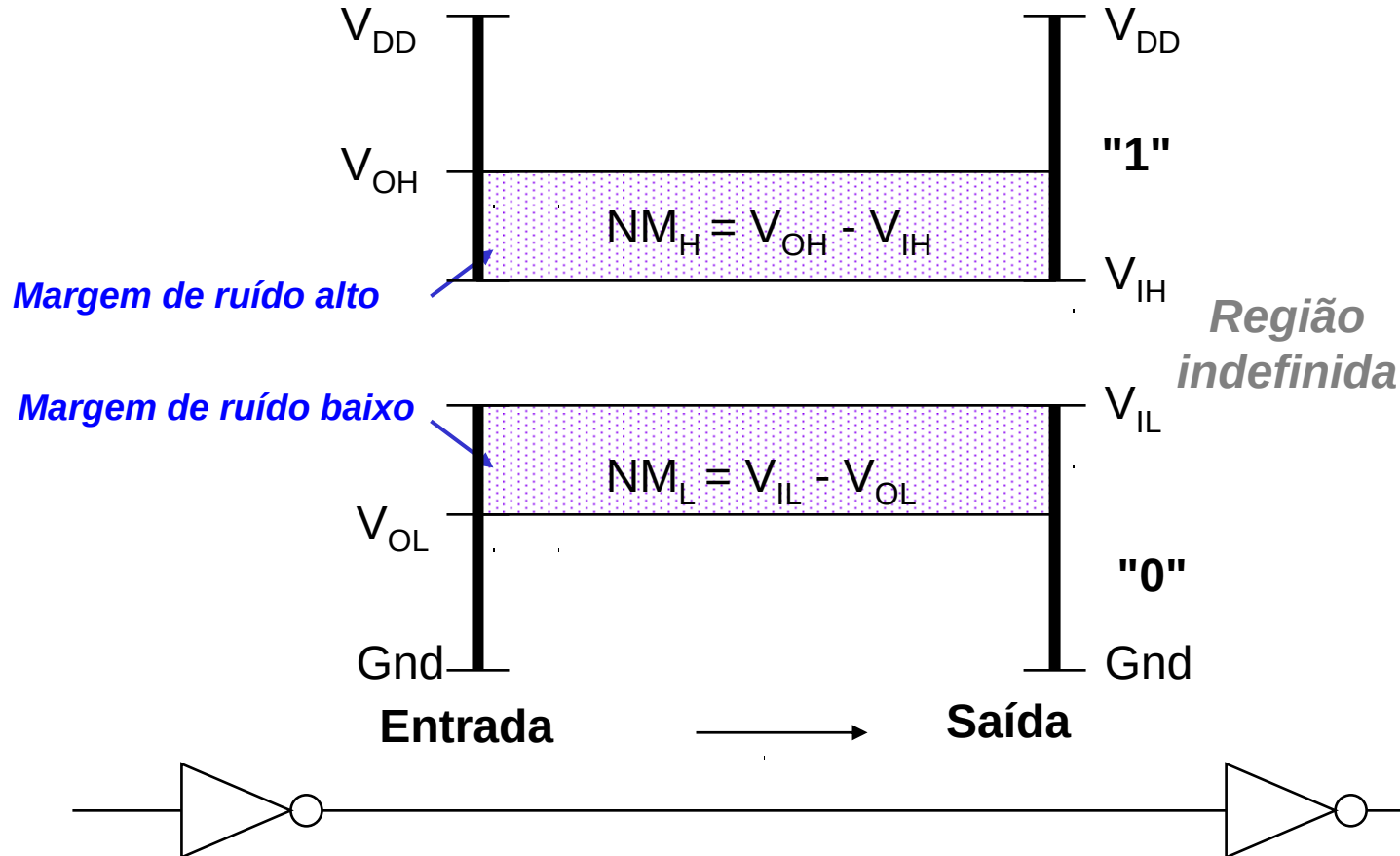
Mapeamento dos níveis lógicos no domínio das tensões

- As regiões de aceitáveis para tensões alto e baixo estão delimitadas por V_{IH} e V_{IL} , que representam os pontos da curva VTC onde o ganho = -1.



Margens de ruído

- Para circuitos robustos, pretende-se que o intervalo entre "0" e "1" seja o maior possível



- Margens de ruído elevadas são desejáveis, mas não suficientes...

Imunidade ao ruído

- A margem para ruído expressa a habilidade de um circuito se sobrepor à fonte de ruído
 - Fontes de ruído: ruído da alimentação, crosstalk, interferência, offset
- Margens de ruído absolutas são enganadoras
 - Um nó a flutuar é mais facilmente perturbado do que um nó alimentado por uma impedância reduzida
- *Imunidade ao ruído* expressa a habilidade do sistema processar e transmitir informação correctamente na presença de ruído
- Para uma boa imunidade ao ruído, a variação do sinal (diferença entre V_{OH} e V_{OL}) e a margem para ruído devem ser suficientes para se sobreporem ao impacto das fontes de ruído fixas

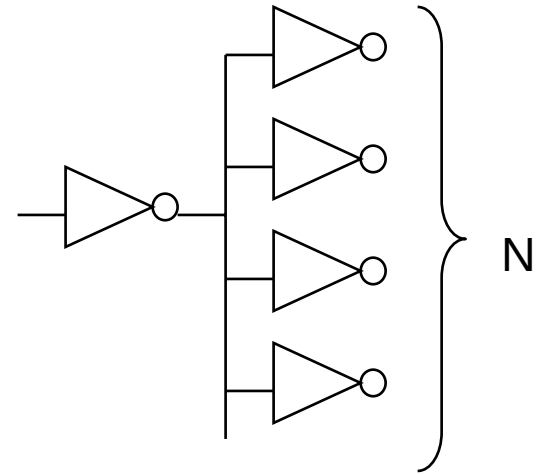
Directividade

- Uma porta deve ser *unidireccional*: variações de nível numa saída não devem aparecer em nenhuma entrada que não tenha variado
 - em circuitos reais, a directividade completa é uma ilusão (eg. Devido a acoplamento capacitivo entre entradas e saídas)
- Métricas chave: *impedância de saída* do driver e *impedância de entrada* do receptor
 - Idealmente, a impedância de saída do driver deve ser zero
 - A impedância de entrada do receptor deve ser infinita

Fan-In and Fan-Out

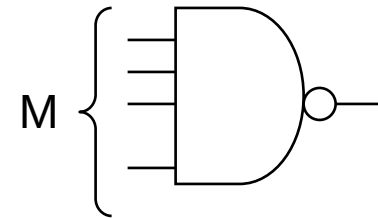
❑ Fan-out – número de portas que podem ser ligadas à saída de um driver

- gates com maior fan-out são mais lentas



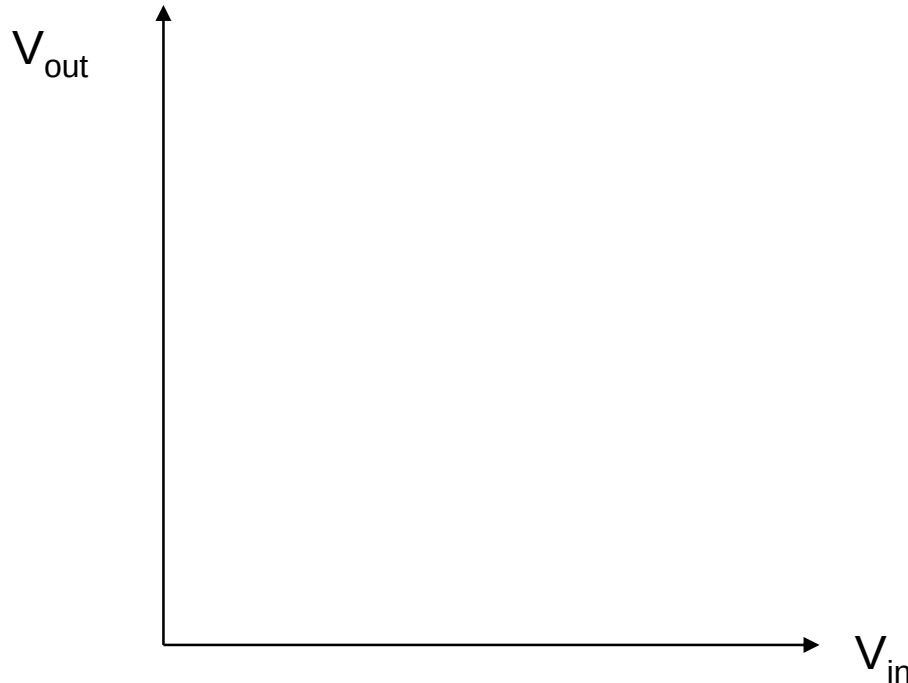
❑ Fan-in – número de entradas da porta

- Gates com fan-in elevado são maiores mais lentas



Inversor ideal

- O inversor ideal deve ter
 - Ganho infinito na região de transição
 - Limiar de transição no meio da variação lógica
 - Margens de ruído alto e baixo iguais a metade do nível lógico
 - Impedância de entrada e saída iguais a infinito e zero, resp.



$$R_i = \infty$$

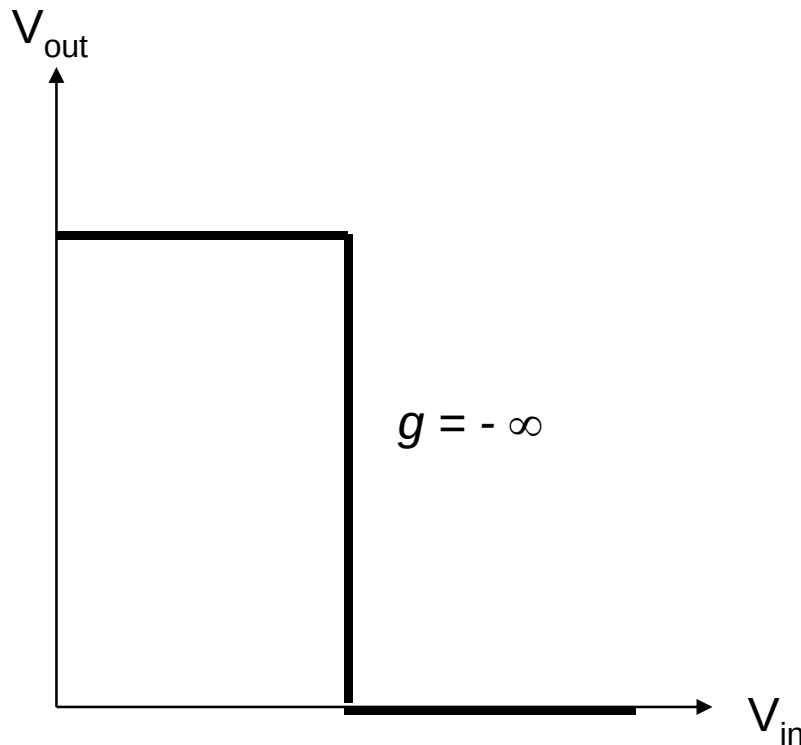
$$R_o = 0$$

$$\text{Fanout} = \infty$$

$$NM_H = NM_L = V_{DD}/2$$

Inversor ideal

- O inversor ideal deve ter
 - Ganho infinito na região de transição
 - Limiar de transição no meio da variação lógica
 - Margens de ruído alto e baixo iguais a metade do nível lógico
 - Impedância de entrada e saída iguais a infinito e zero, resp.



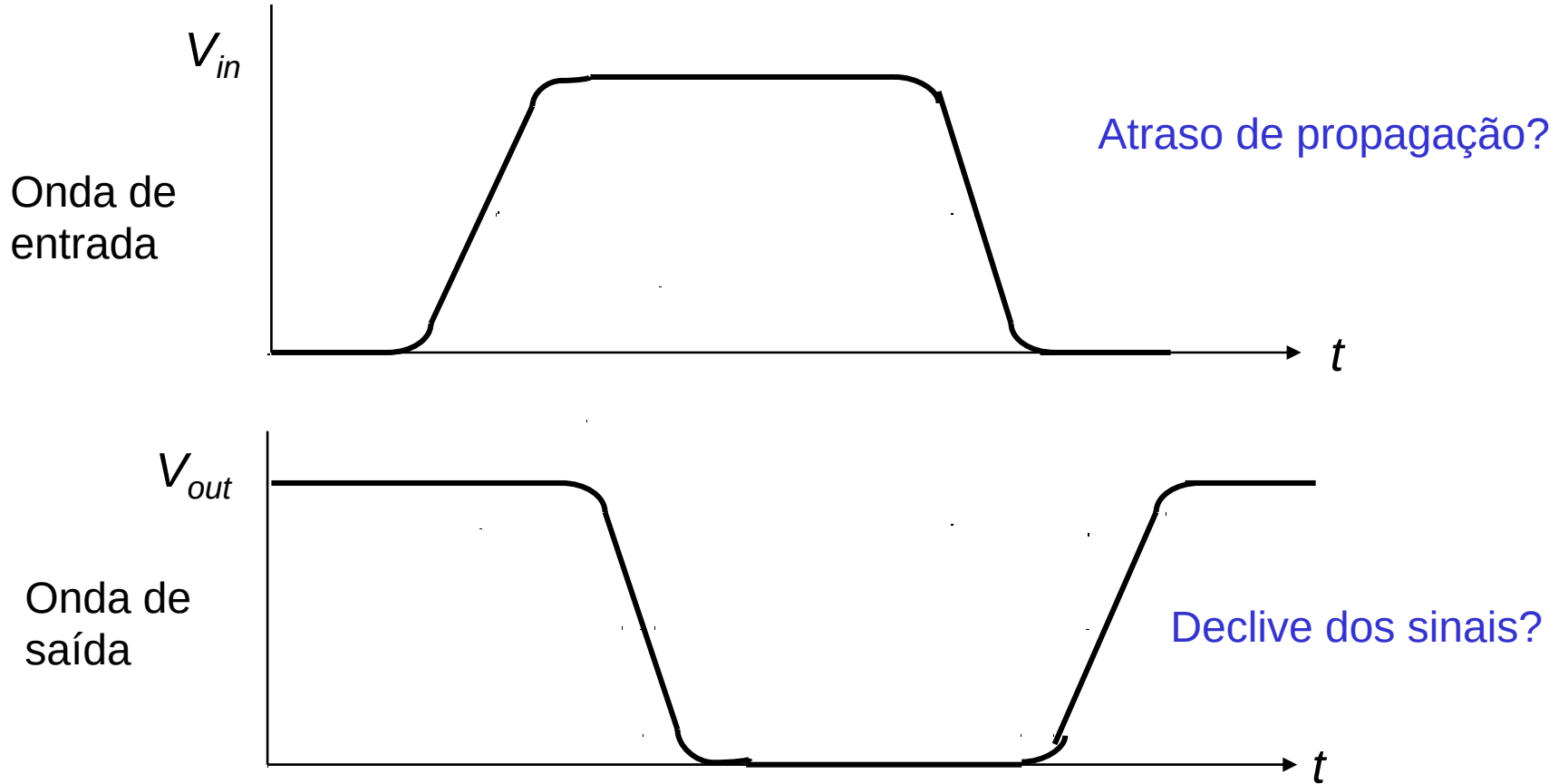
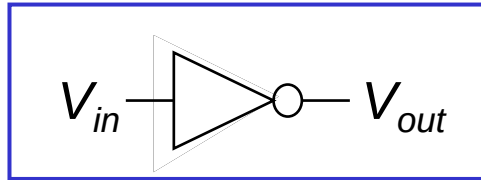
$$R_i = \infty$$

$$R_o = 0$$

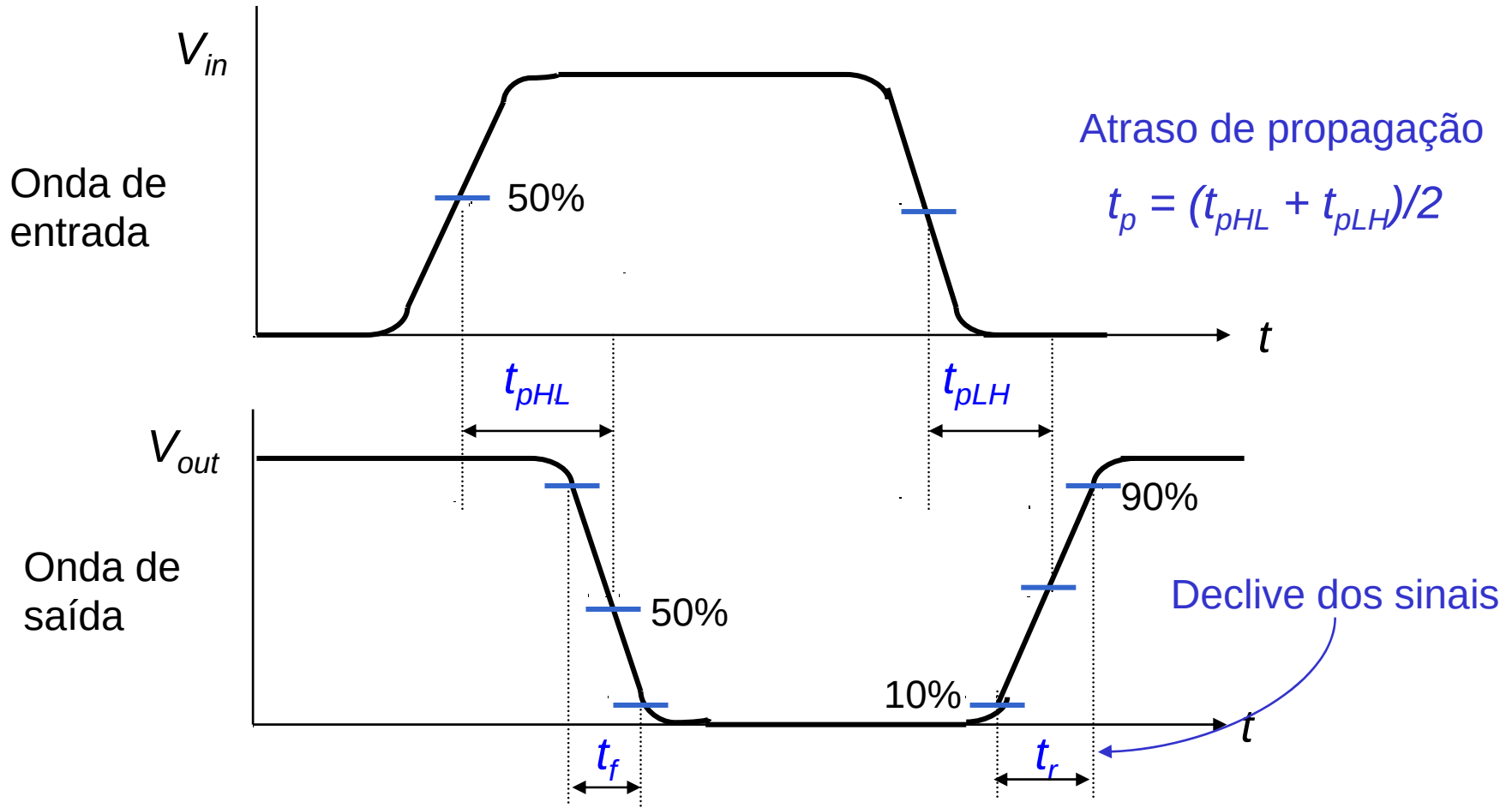
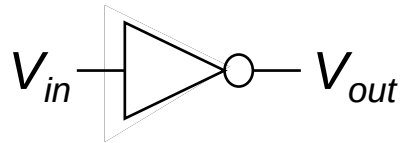
$$\text{Fanout} = \infty$$

$$NM_H = NM_L = V_{DD}/2$$

Definições de atraso



Definições de atraso

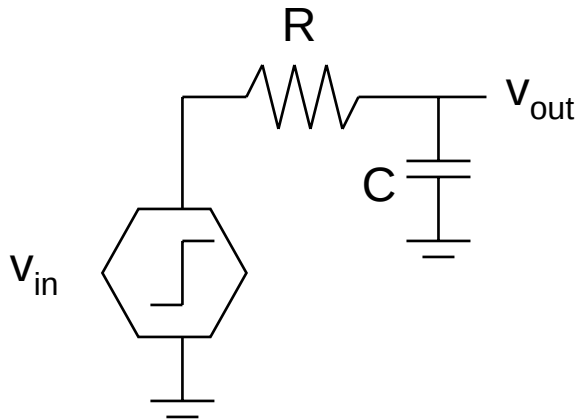


Modelização do atraso de propagação

- Circuito modelo é uma malha RC de primeira ordem

$$v_{\text{out}}(t) = (1 - e^{-t/\tau})V$$

onde $\tau = RC$



Tempo para atingir 50% é
 $t = \ln(2) \tau = 0.69 \tau$

Tempo para atingir 90% é
 $t = \ln(9) \tau = 2.2 \tau$

- Descreve o atraso numa porta inversora

Dissipação de energia e potência

- Consumo de potência: quanta energia é consumida por operação e quanto calor o circuito dissipa
 - Dimensionar a linha de alimentação (determinado pela **potência de pico**) $P_{\text{peak}} = V_{\text{dd}} i_{\text{peak}}$
 - Tempo de vida da bateria (determinado pelo **consumo médio de potência**)
 $p(t) = v(t)i(t) = V_{\text{dd}} i(t)$ $P_{\text{avg}} = 1/T \int p(t) dt = V_{\text{dd}}/T \int i_{\text{dd}}(t) dt$
 - Necessidade de encapsulamento e arrefecimento
- Duas componentes importantes: **estática** e **dinâmica**

$$E \text{ (joules)} = C_L V_{\text{dd}}^2 P_{0 \rightarrow 1} + t_{\text{sc}} V_{\text{dd}} I_{\text{peak}} P_{0 \rightarrow 1} + V_{\text{dd}} I_{\text{leakage}}$$

$$\downarrow f_{0 \rightarrow 1} = P_{0 \rightarrow 1} * f_{\text{clock}} \downarrow$$

$$P \text{ (watts)} = C_L V_{\text{dd}}^2 f_{0 \rightarrow 1} + t_{\text{sc}} V_{\text{dd}} I_{\text{peak}} f_{0 \rightarrow 1} + V_{\text{dd}} I_{\text{leakage}}$$

Dissipação de energia e potência

- O atraso de propagação e o consumo de potência estão relacionados
- O atraso de propagação é (maioritariamente) determinado pela velocidade a que uma determinada quantidade de energia pode ser armazenada nos condensadores da gate
 - Quanto mais rápida for a transferência de energia, mais rápida é a gate
- Para uma dada tecnologia e topologia de gate, o produto do consumo de potência pelo atraso de propagação é uma constante
 - **Power-delay product (PDP)** – energia consumida por evento de comutação
- Uma gate ideal é aquela que é rápida e consome pouca energia, sendo esta métrica
 - **Energy-delay product (EDP)** = power-delay ²