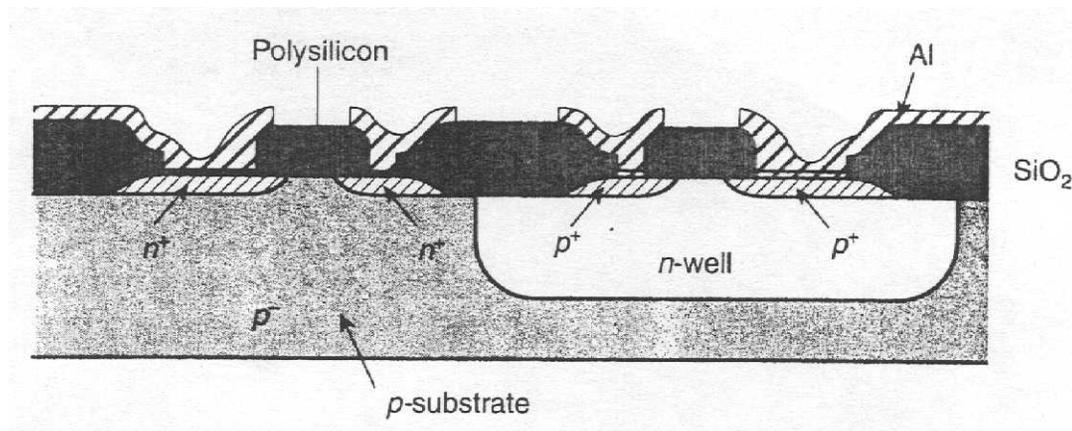


Microelectrónica

- **A tecnologia CMOS** (para um processo de fabrico em CMOS de 2 μ m, n-well, 2 camadas de metal e uma camada de polisilício)
 - As regras de desenho de layout físico.
 - As características da tecnologia CMOS.
- **A tecnologia Bipolar**
 - Modelo de layout físico da junção pn
 - Modelo de layout físico do transistor bipolar.
- As vantagens e desvantagens da tecnologia CMOS em relação à tecnologia Bipolar.
- **A tecnologia BiCMOS.**

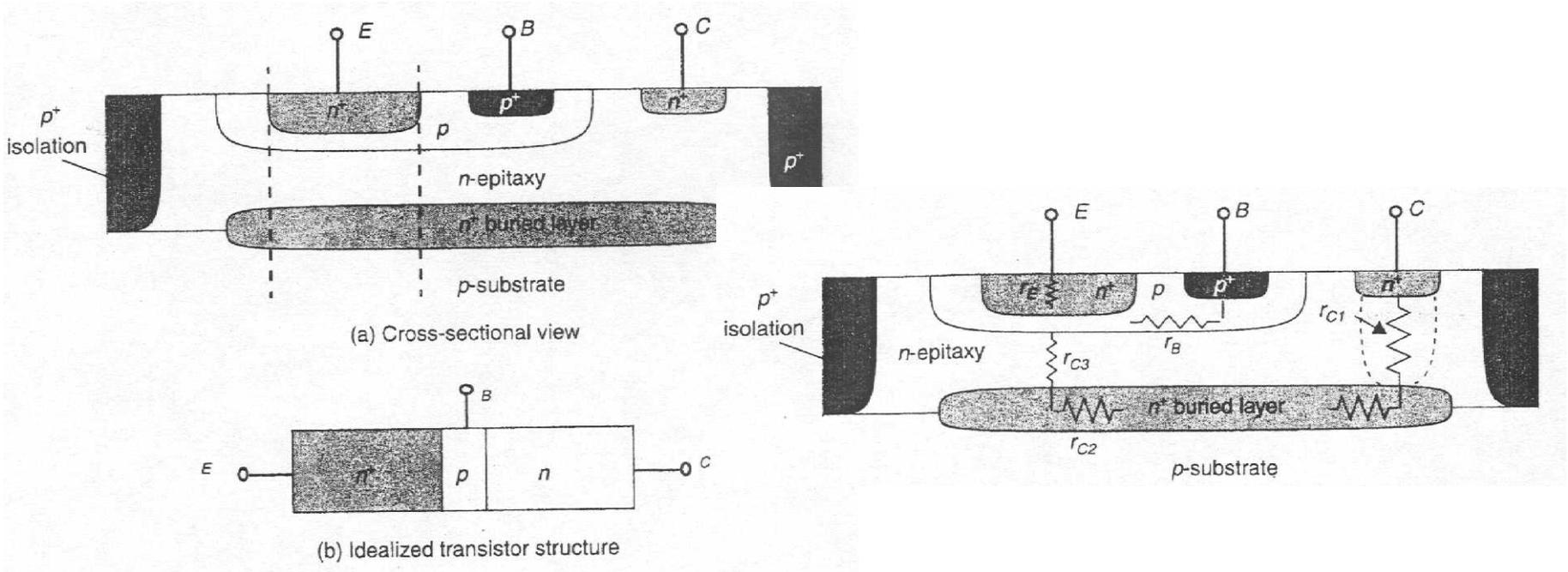
Ver Manual de Tecnologia CMOS

- Construção de um inversor em tecnologia CMOS e todos os parâmetros da tecnologia CMOS *n-well*, 2 μm , 1 *poly*, 2 metais.

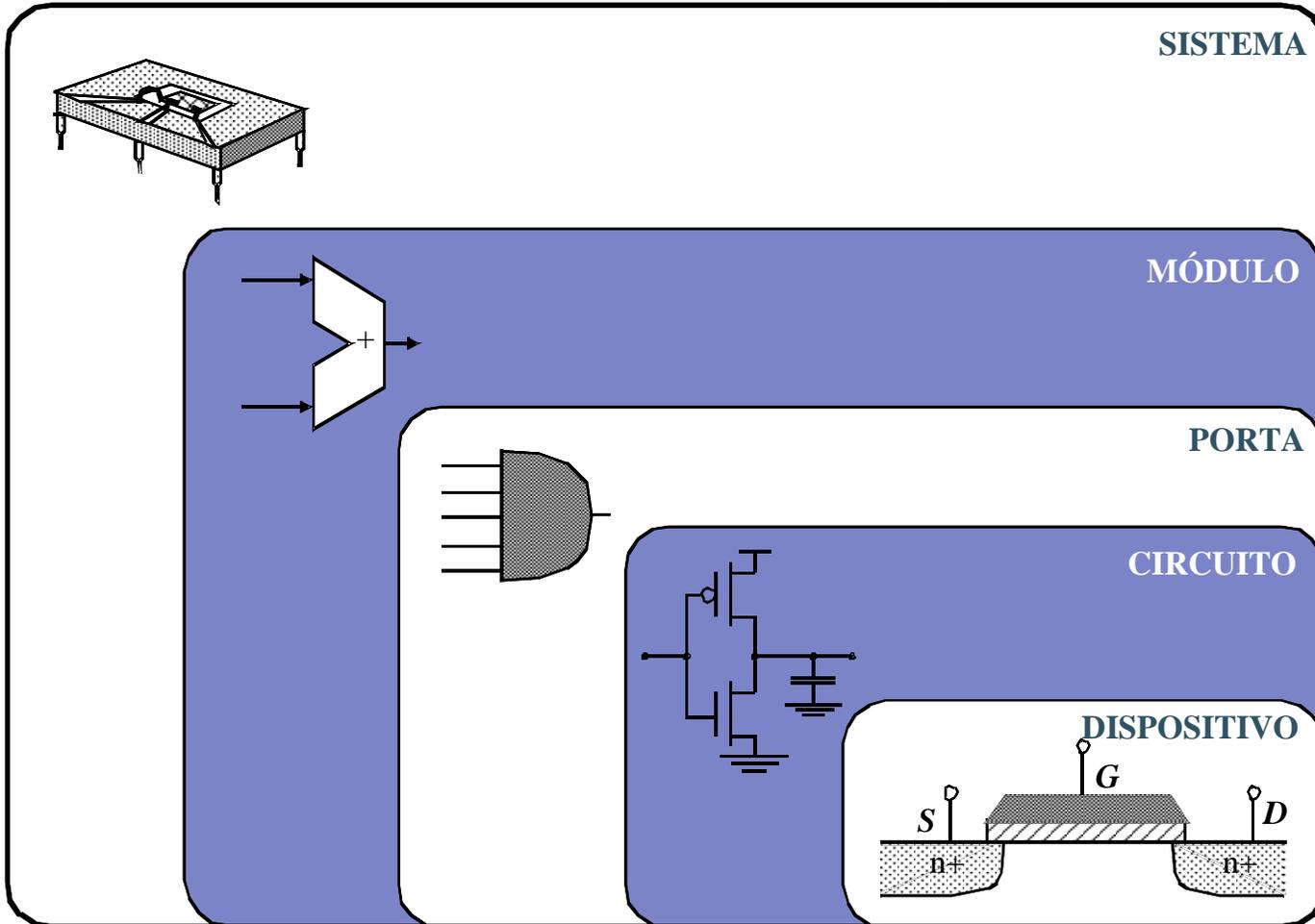


Microelectrónica

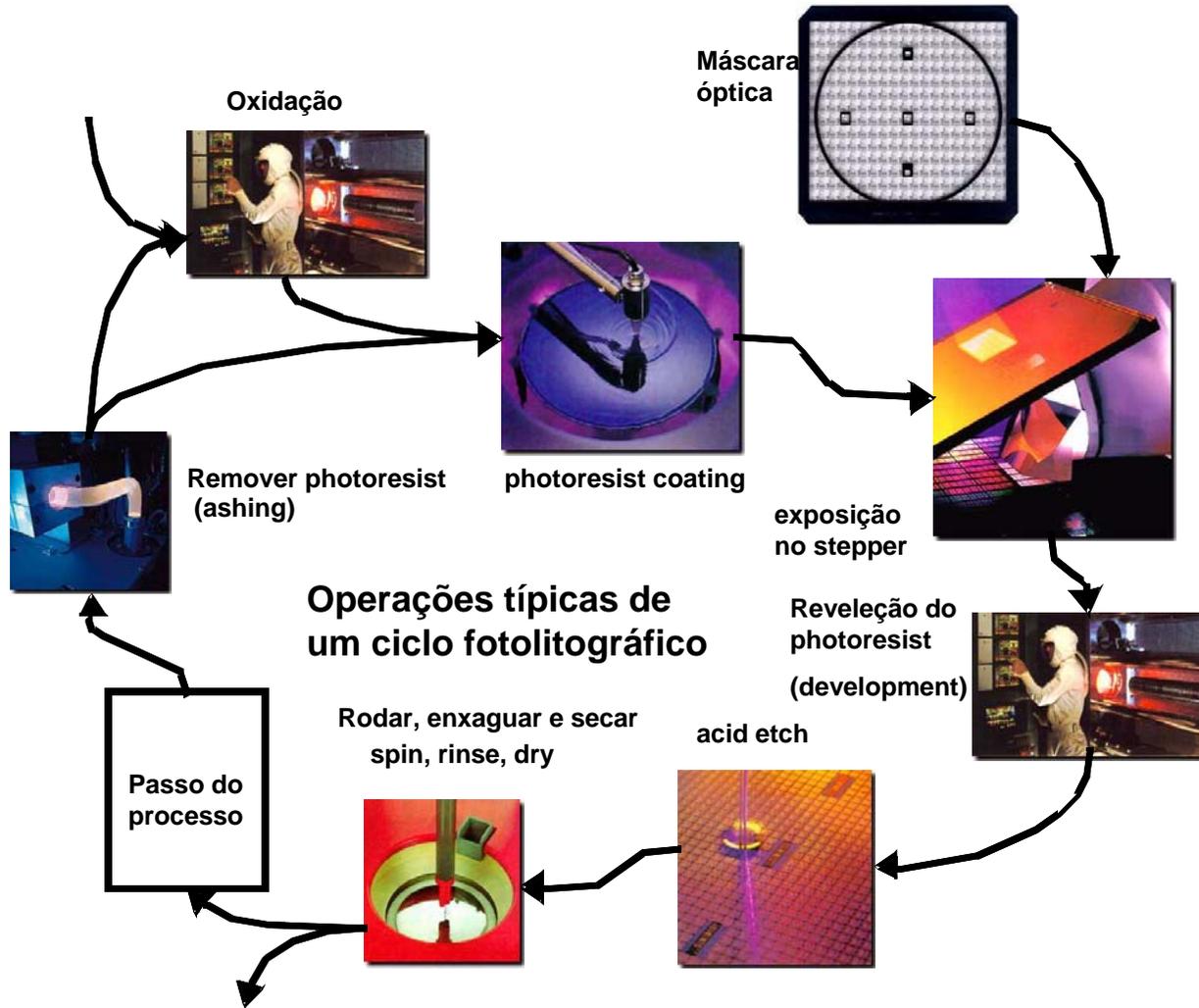
• Tecnología Bipolar



Níveis de abstracção



Fabrico CMOS

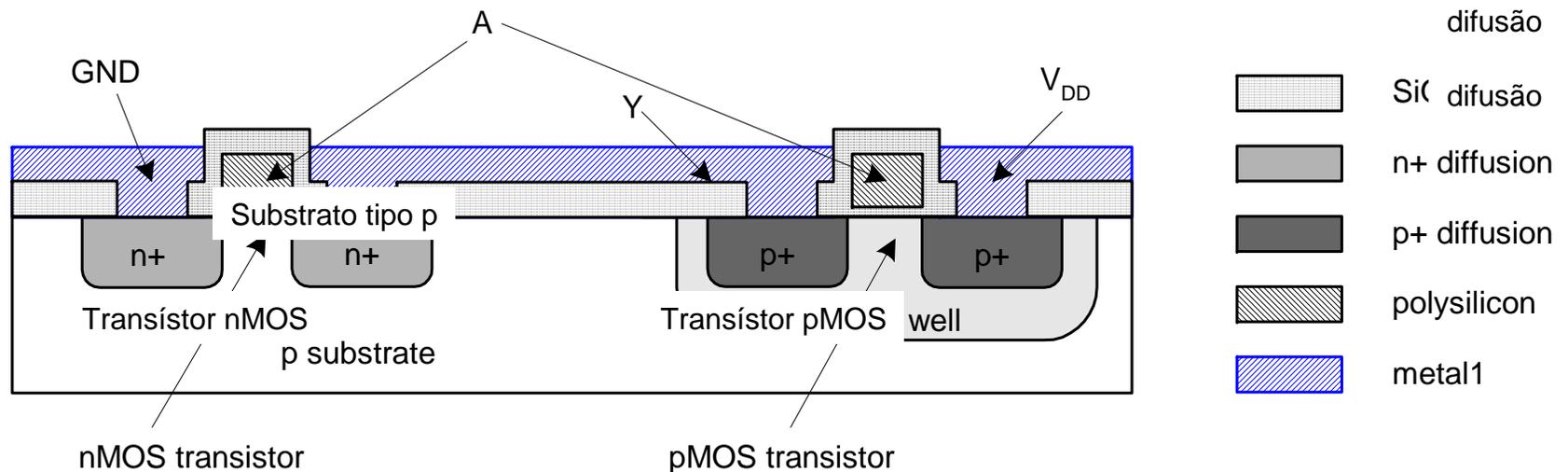


Fabrico CMOS

- Transístores CMOS são fabricados num wafer de silício
- Processo litográfico
- Em cada passo, diferentes materiais são depositados ou removidos
- Mais fácil de compreender através da visualização do perfil de um wafer e da planta em simultâneo num processo simplificado

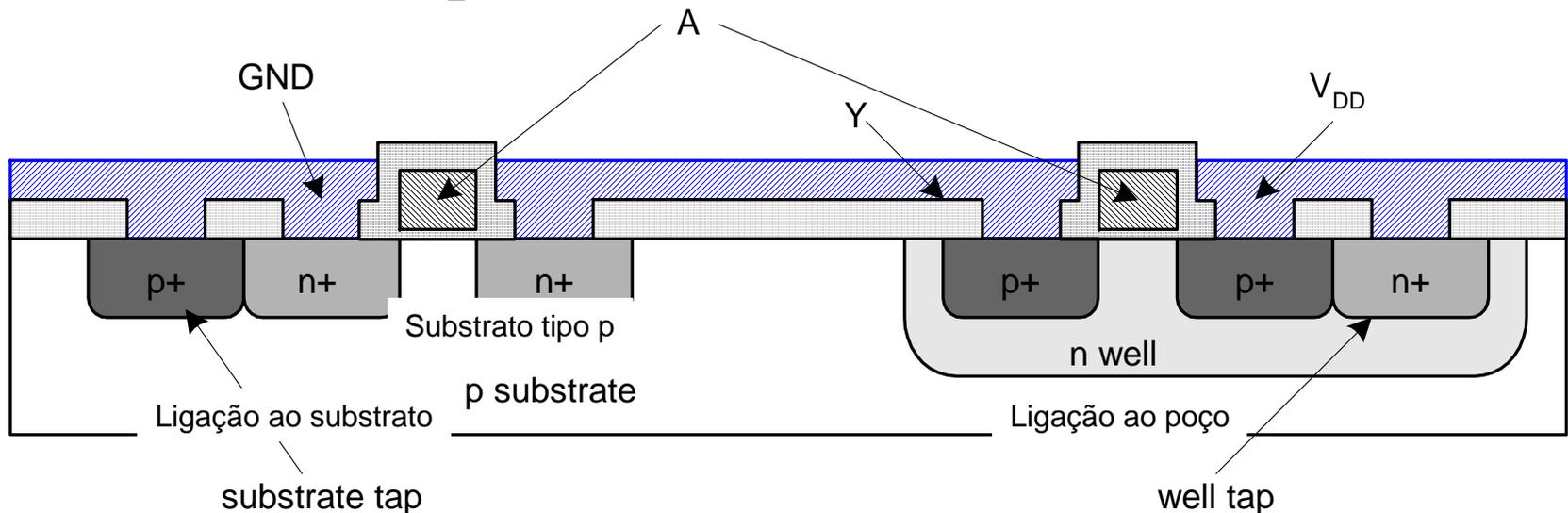
Perfil de um inversor

- Tipicamente utiliza um substrato tipo-p para os transístores nMOS
- Necessita n-well para o corpo dos transístores pMOS



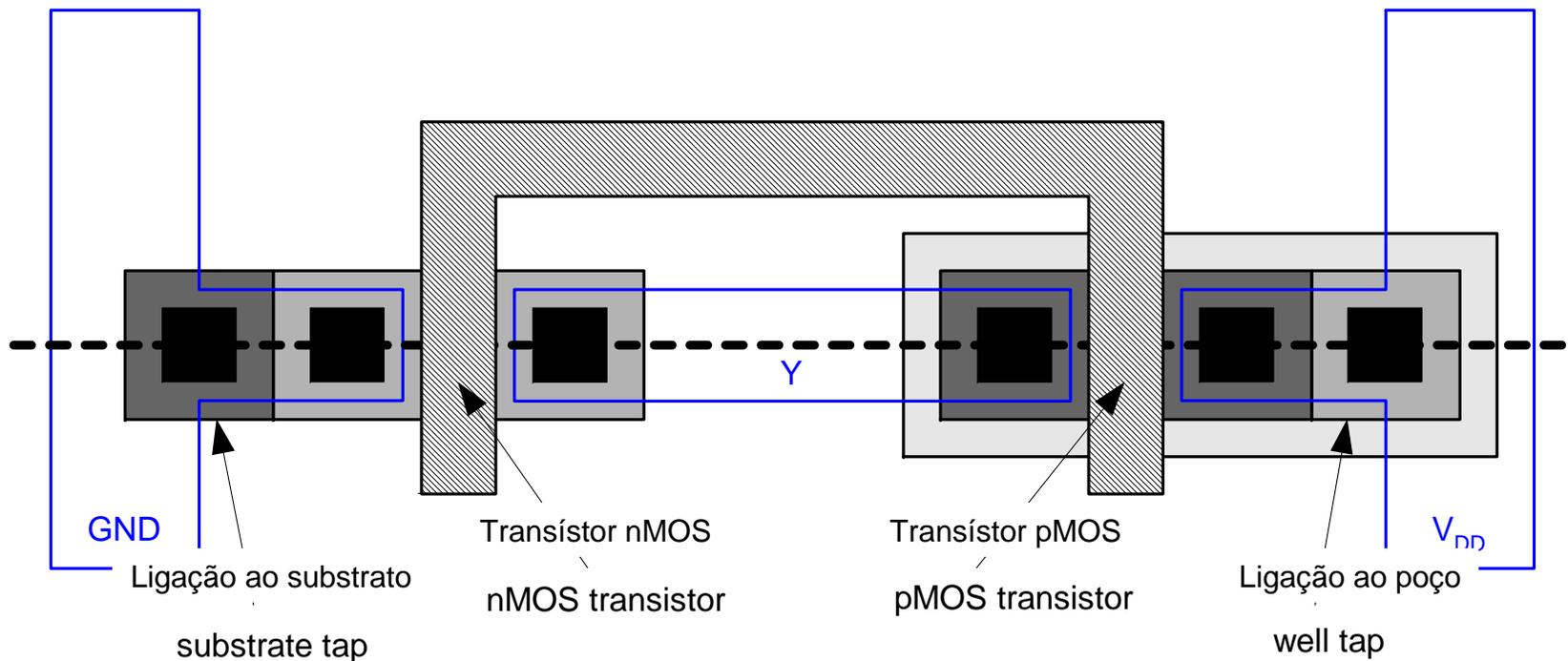
Ligação ao substrato e à well

- O substrato tem que estar ligado ao GND e a n-well a V_{DD}
- A ligação entre o metal a semiconductor ligeiramente dopado forma uma ligação (utilizado para formar um díodo Schottky)
- Utiliza-se poços e contactos com substrato fortemente dopados



“Mask Set” para o inversor

- Os transístores e os fios são definidos por máscaras
- Perfil através da linha a tracejado



Formen das máscaras

- Seis máscaras

- n-well

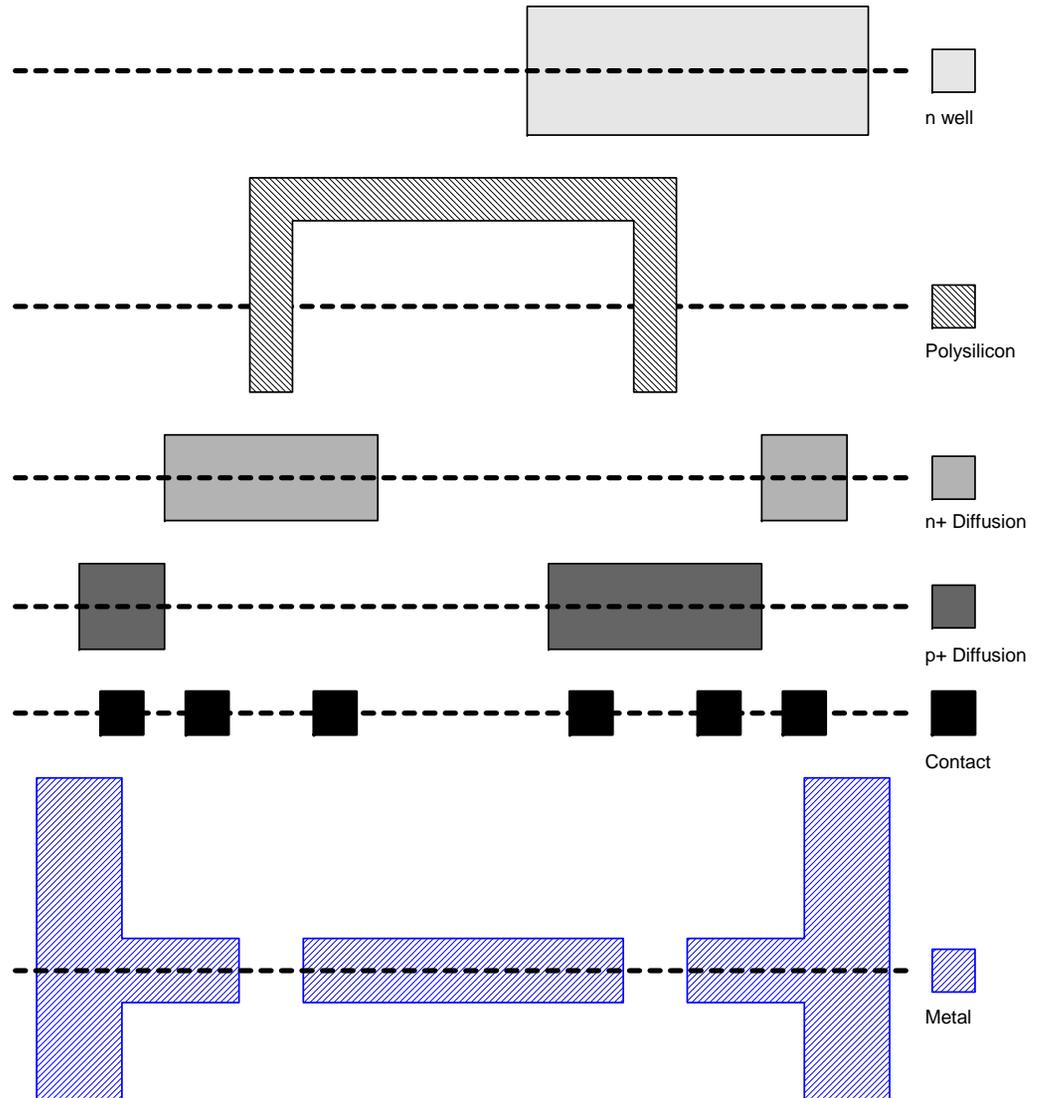
- Polysilicon

- n+ diffusion

- p+ diffusion

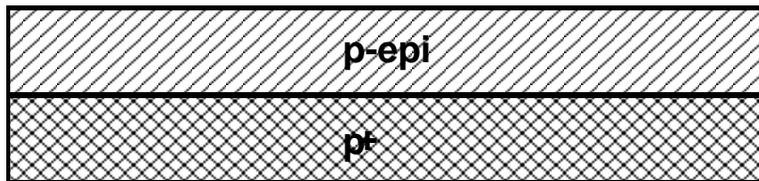
- Contacto

- Metal

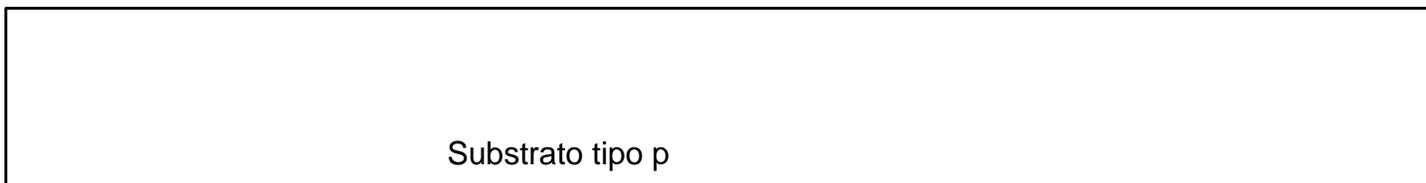


Passos do fabrico

- Começa com o wafer em “branco”
- Constrói-se o inversor de baixo para cima
- O primeiro passo consiste em formar a n-well
 - Cobrir o wafer com uma camada protectora de SiO_2
 - Remover a camada onde a n-well deve ficar
 - Implantar ou difundir dopantes do tipo n no wafer exposto
 - Remover o SiO_2

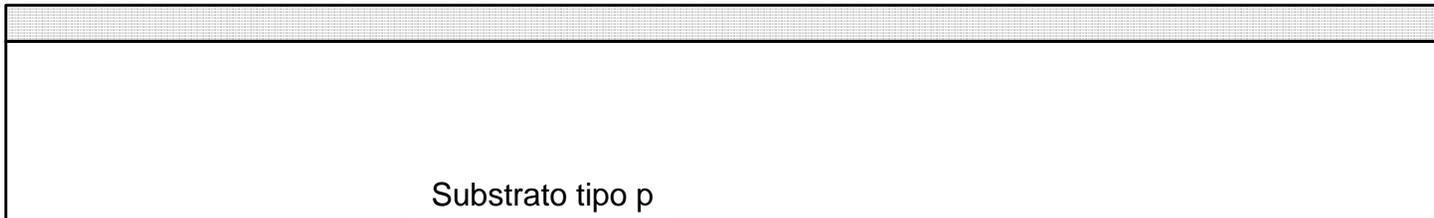


(a) Material Base : substrate p+ com p-epi layer



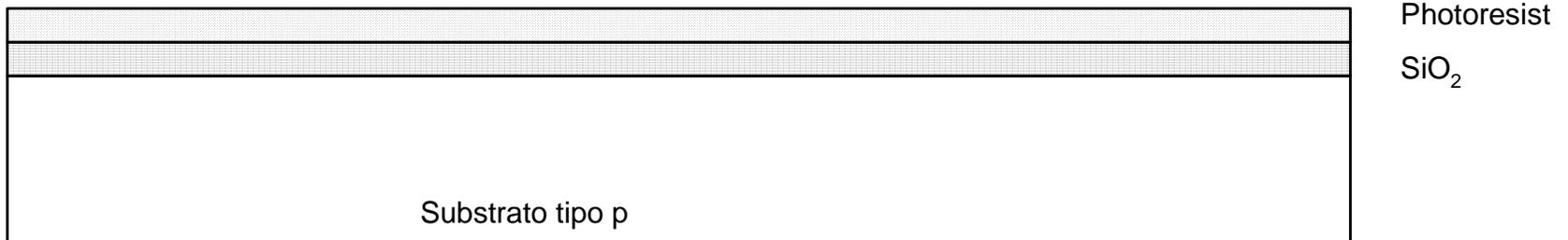
Oxidação

- Crescer SiO_2 no topo do wafer de Si
 - 900 – 1200 C com H_2O ou O_2 no forno de oxidação



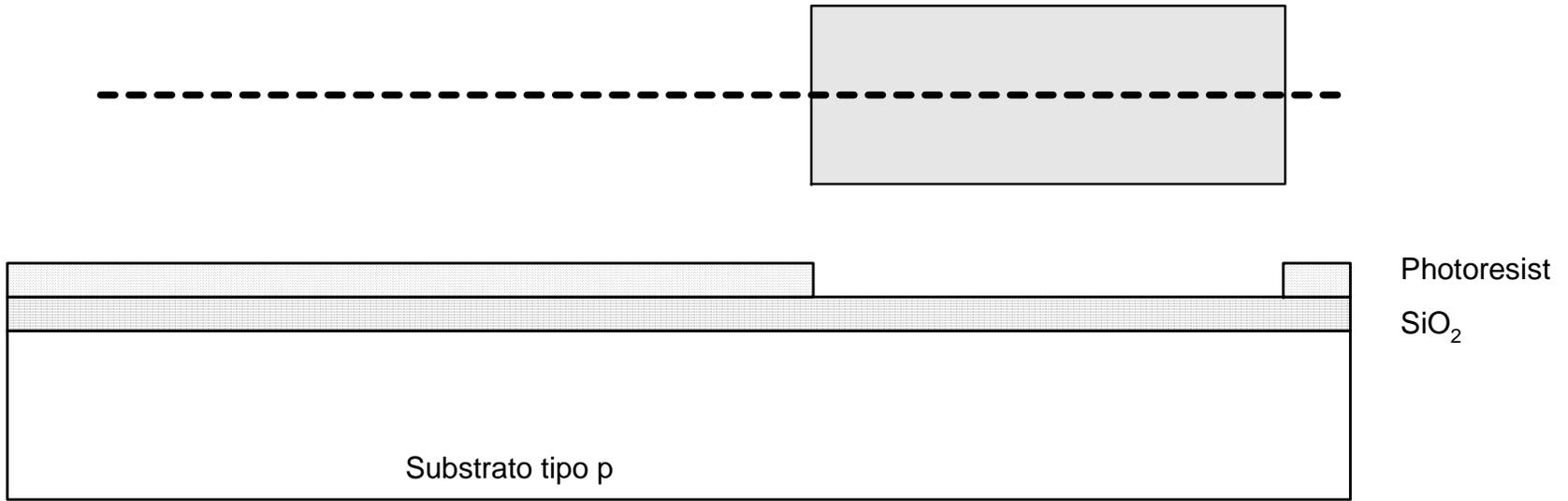
Photoresist

- “Spin on” do photoresist
 - Photoresist é um polímero orgânico sensível à luz
 - Amacia quando exposto à luz



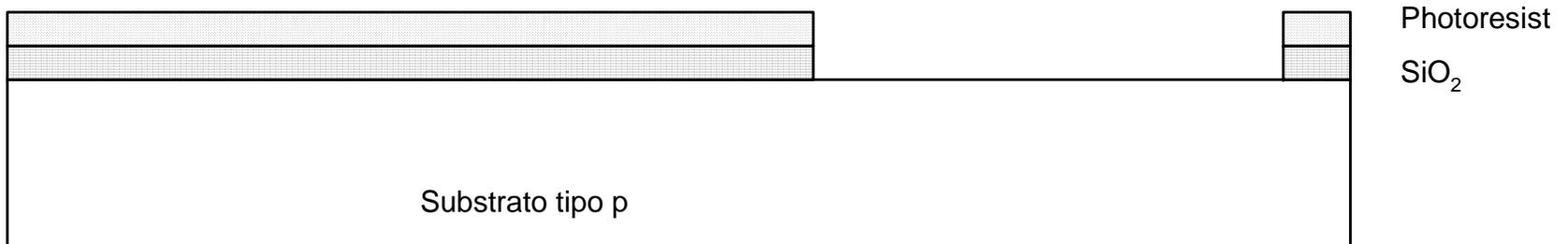
Litografia

- Expor o photoresist através da máscara n-well
- Remover o photoresist exposto
- Máscara NW



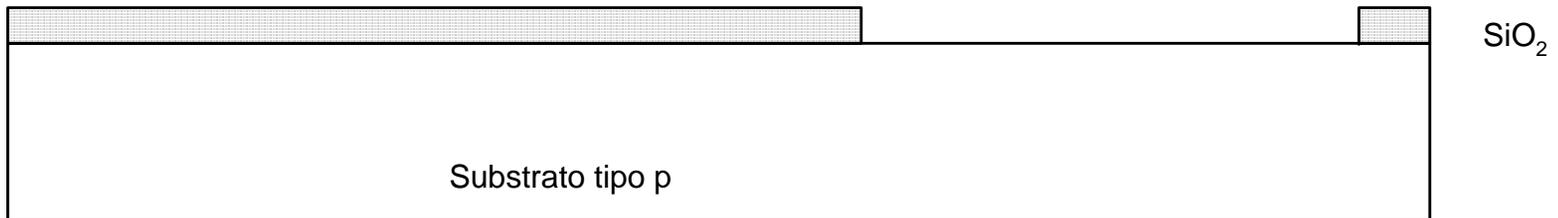
Remoção - *Etch*

- Remover o óxido com ácido fluorídrico (HF)
 - Penetra na pele e evora o osso!!!
- Só ataca o óxido onde o resist foi exposto



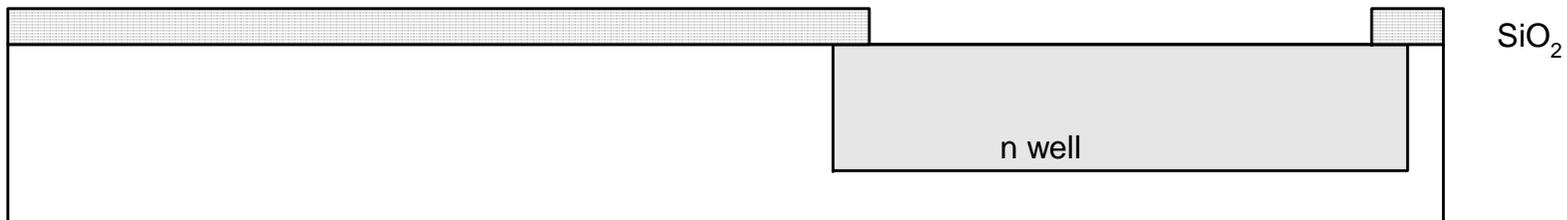
Remover Photoresist

- Remover o photoresist restante
 - Utilização de mistura de ácidos denominado “piranah etch”
- Necessário para que o resist não derreta no próximo passo



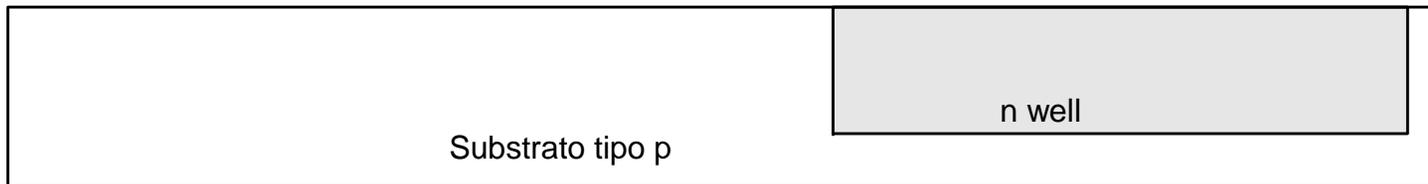
n-well

- O n-well é formado por difusão ou por implantação iónica
- Difusão
 - Colocar o wafer num forno com um gás arseniado
 - Aquecer até que os átomos de As se difundam no Si exposto
- Implantação iónica
 - Atingir o wafer com um feixe de iões de As
 - Os iões são bloqueados pelo SiO_2 ,



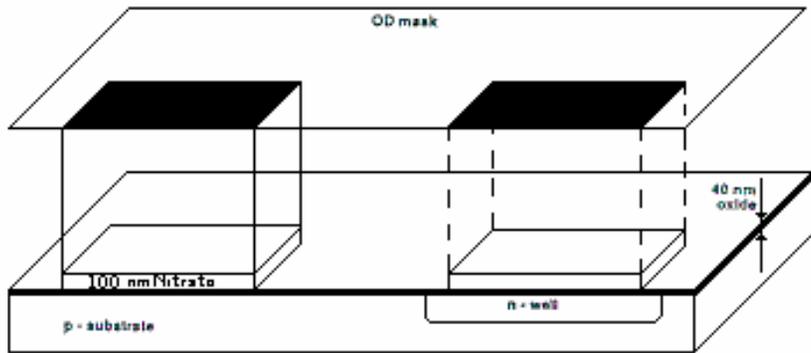
Remover o óxido

- Remover o óxido com HF
- Regressamos ao wafer limpo com n-well
- Os passos seguintes envolvem uma série de passos semelhantes

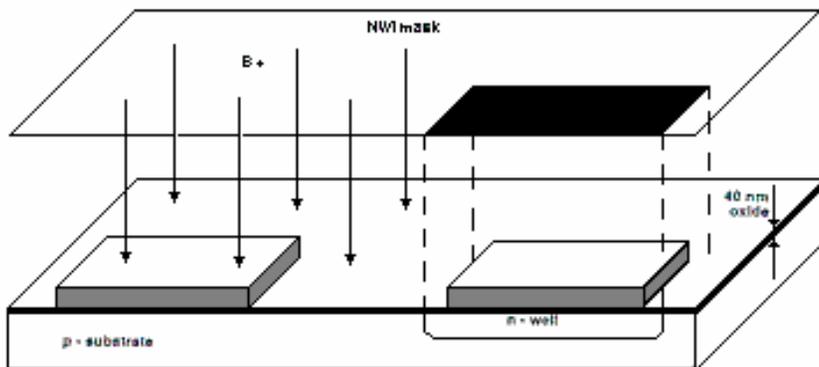


Zona activa e LOCOS

- Áreas activas - máscara *active* (OD) - nitrato de silício (depositado numa camada fina de SiO_2 conhecida como óxido libertador de *stress* e é usado como *buffer* mecânico entre o nitreto e o silício)
- Antes de ser acrescentado o óxido LOCOS (*Local Oxidation of silicon*) é feita uma deposição com p^+ (máscara NWI)



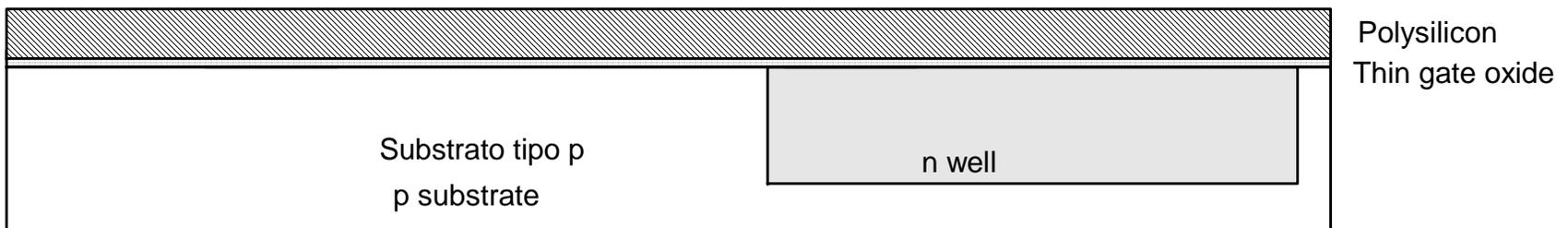
(a) Máscara OD



(b) Máscara NWI

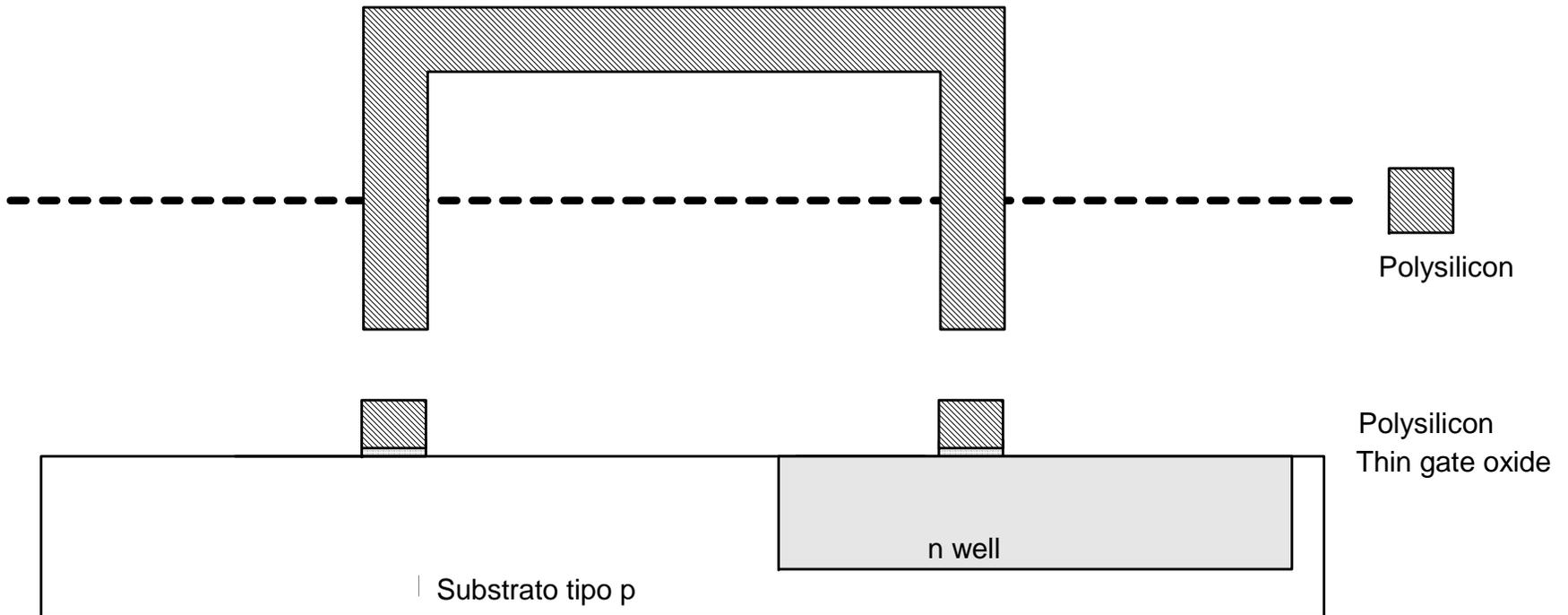
Polysilicon

- Depositar uma camada muito fina de *gate oxide*
 - $< 20 \text{ \AA}$ (6-7 camadas atômicas)
- Deposição de camada de silício por CVD
 - Colocar o wafer num forno com SiH_4
 - Formam-se muitos cristais denominados polysilicon
 - É fortemente dopado para se tornar um bom condutor



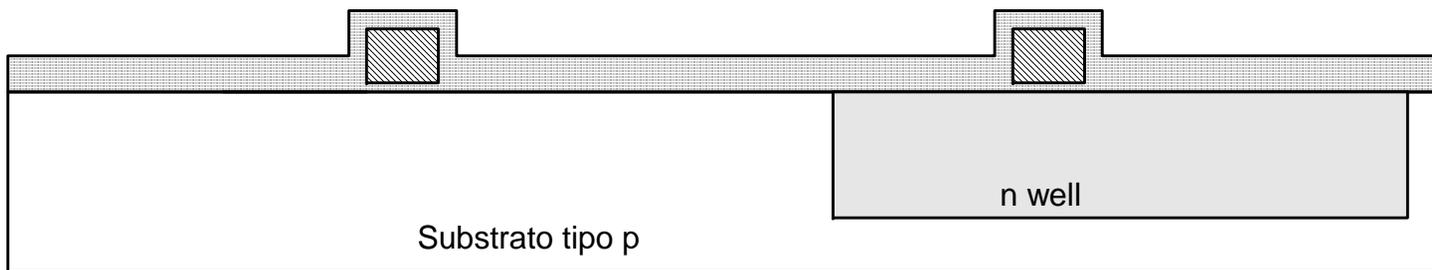
Padronizar o Polysilicon

- Utilização do processo litográfico para padronizar a poly
- Máscara poli



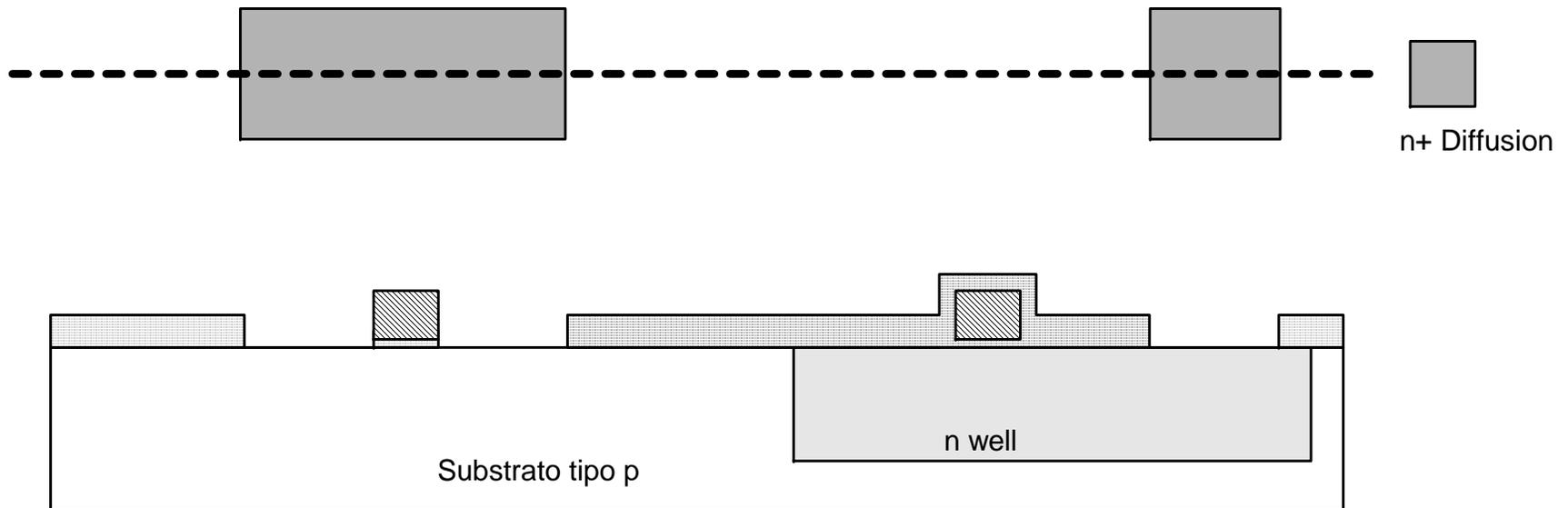
N-difusão

- Utiliza-se óxido e uma máscara para expôr onde os dopantes n^+ devem ser difundidos ou implantados
- A n-difusão forma a fonte e dreno do nMOS, e o contacto com a n-well



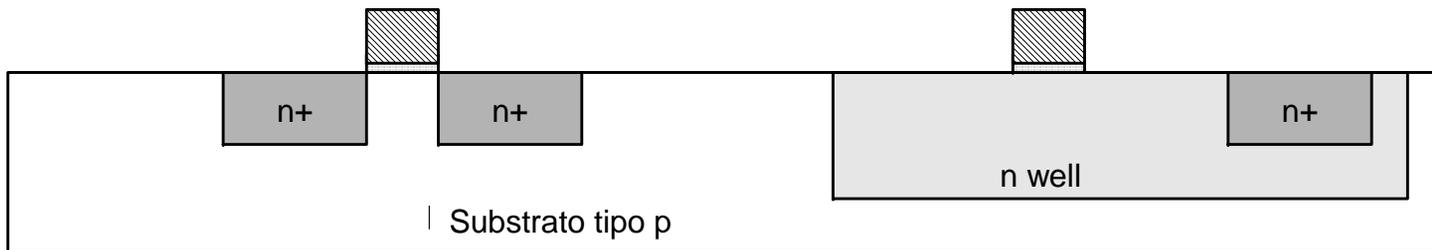
N-difusão (cont.)

- Padronizar o óxido e formar as regiões n+
- Máscara SN (Shallow n)



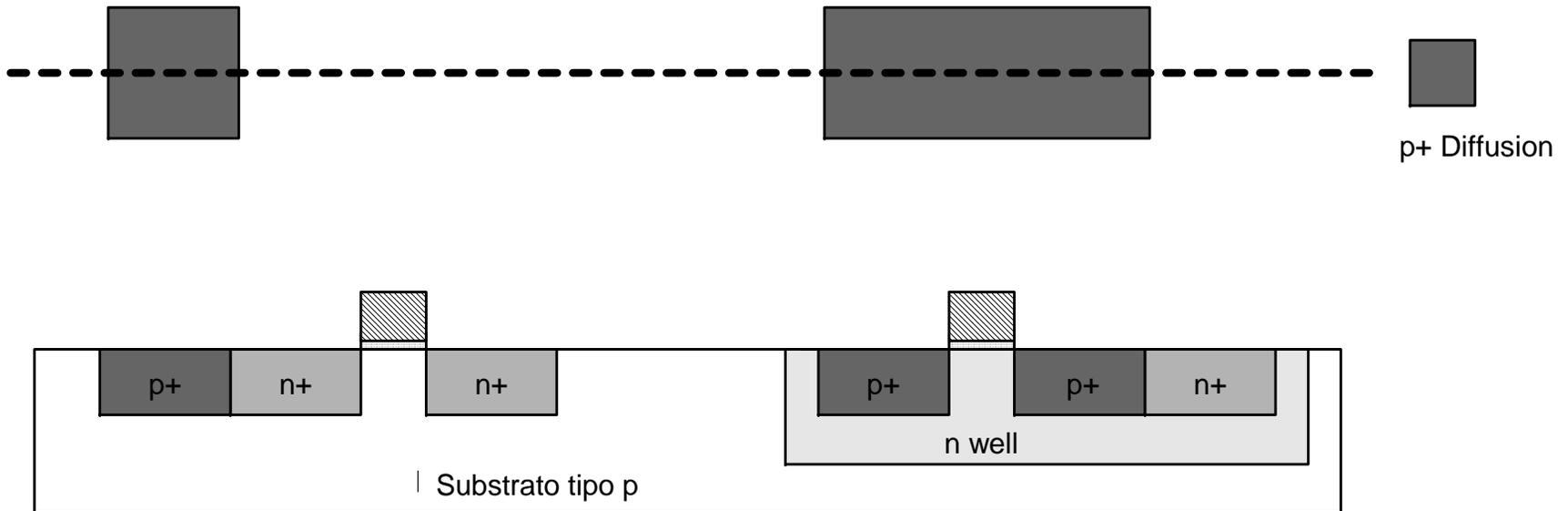
N-difusão (cont.)

- Remover o óxido para completar este passo



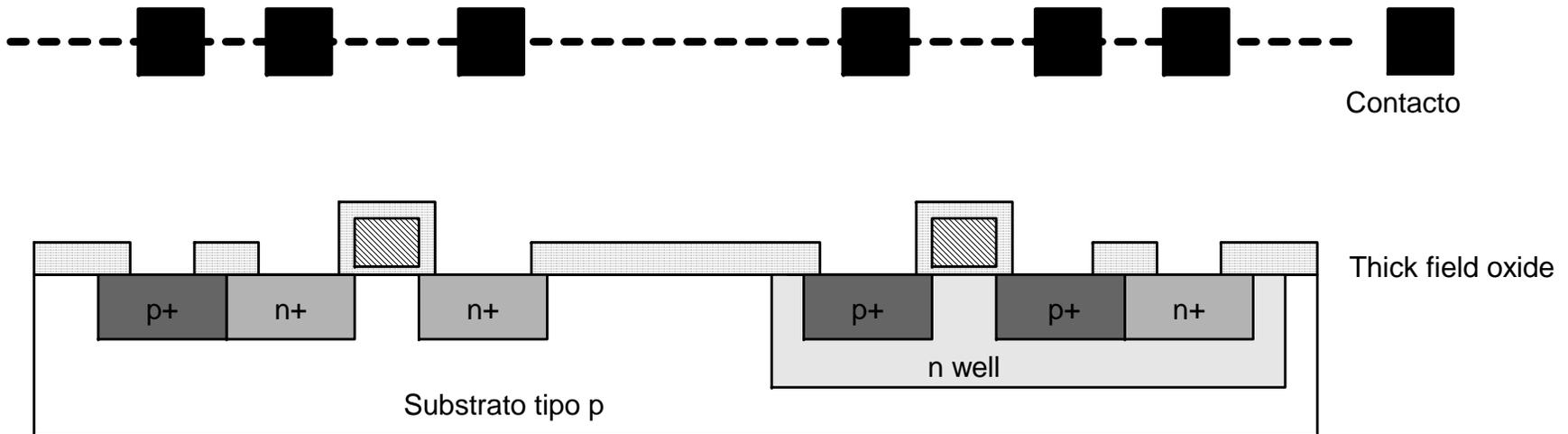
P-Difusão

- Semelhante ao anterior para formar as regiões p+ - Máscara SP (Shallow p)
- Fonte e dreno do pMOS e contacto com o substrato



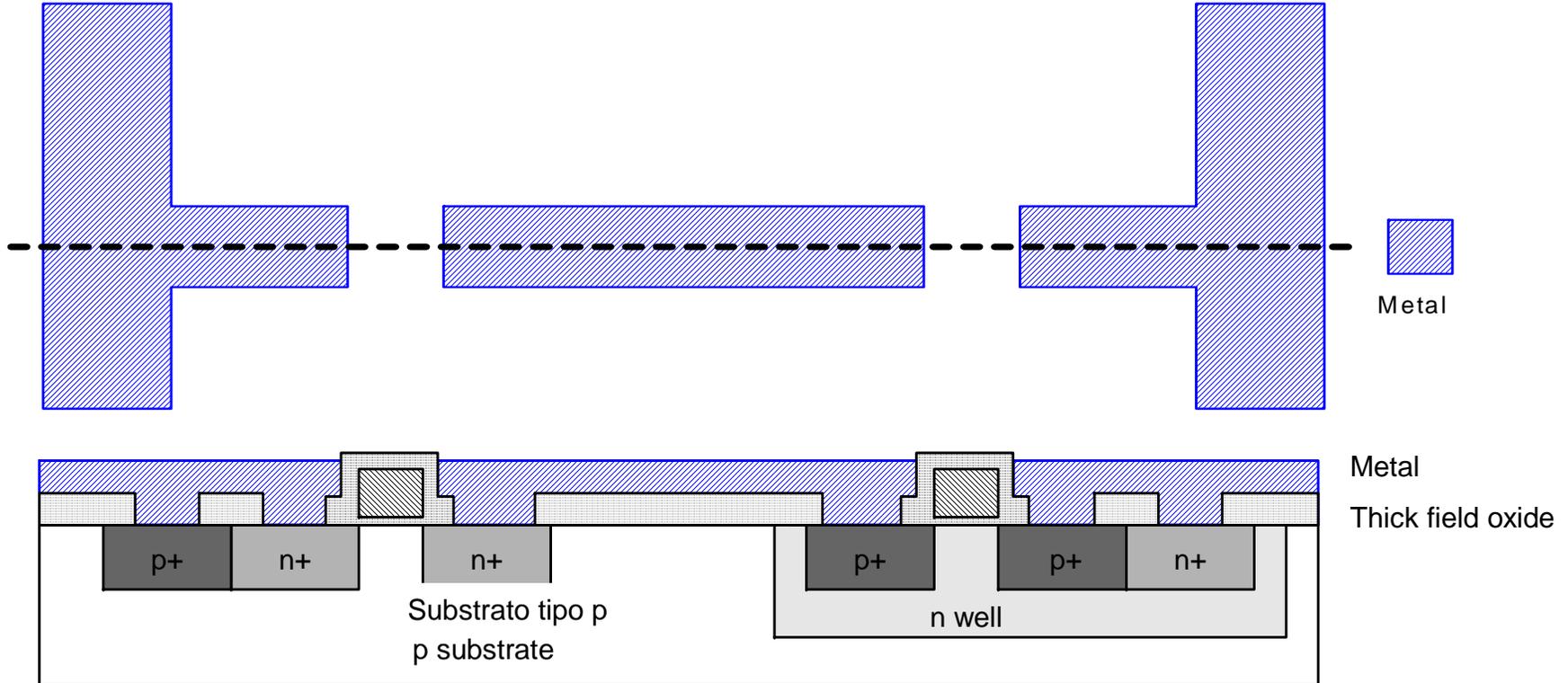
Contactos

- Agora é necessário interligar os dispositivos
- Cobre-se o chip com thick field oxide
- Remove-se o óxido onde é necessário efectuar os contactos
- Máscara CO



Metalização

- Sputtering de alumínio sobre todo o wafer
- Padronizar para remover o metal em excesso, ficando só as conexões- Metal1



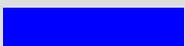
Layout

- Interface entre o engenheiro de desenho e de processo
- Regras para desenhar as máscaras

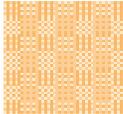
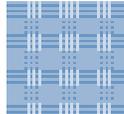
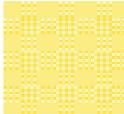
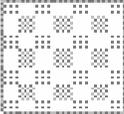
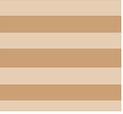
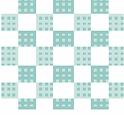
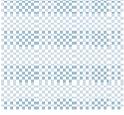
Layout

- Os chips são especificados com um conjunto de máscaras
- As dimensões mínimas das máscaras determinam as dimensões do transístor
 - Velocidade, custo, potência
- Tecnologia (f - *feature*) – distância entre a fonte e o dreno
 - Definido pela largura mínima do polisilício
- A tecnologia melhora cerca de 30% todos os 3 anos
- Dimensões normalizadas pela tecnologia
- Expressar as regras em termos de $\lambda = f/2$
 - E.g. $\lambda = 0.3 \mu\text{m}$ num processo $0.6 \mu\text{m}$

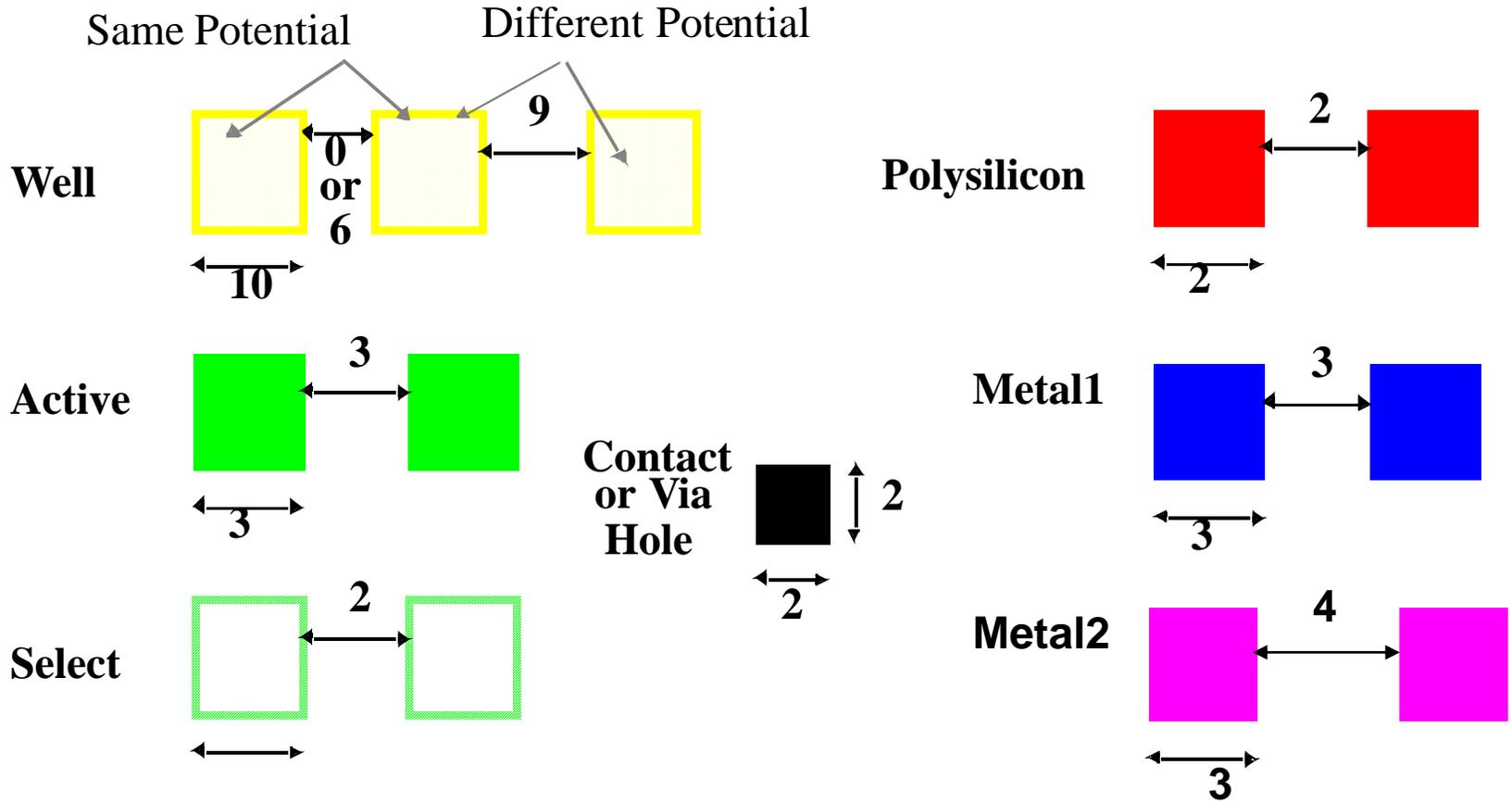
Layers de um processo CMOS

Layer	Color	Representation
Well (p,n)	Yellow	
Active Area (n+,p+)	Green	
Select (p+,n+)	Green	
Polysilicon	Red	
Metal1	Blue	
Metal2	Magenta	
Contact To Poly	Black	
Contact To Diffusion	Black	
Via	Black	

Layout

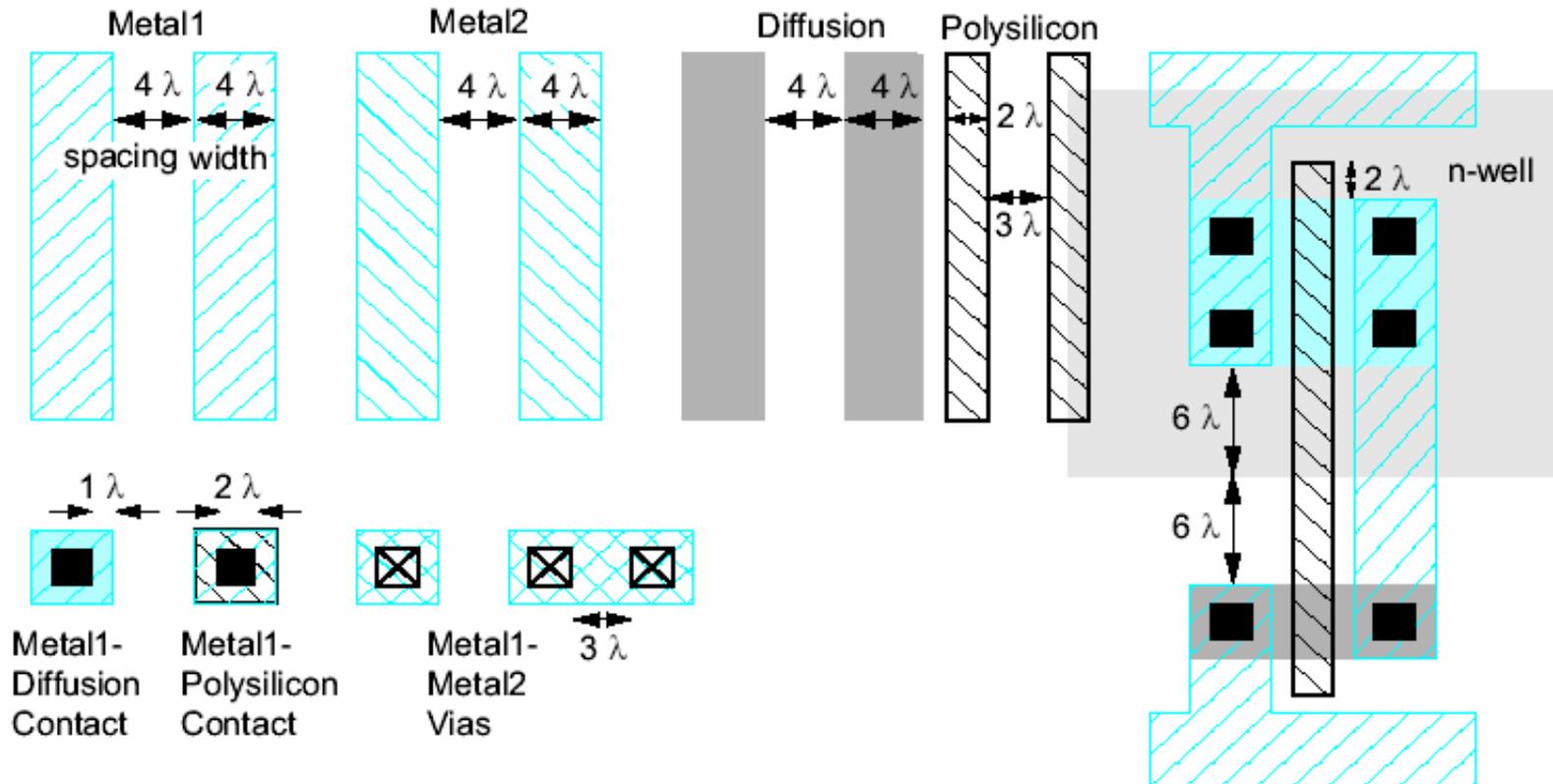
Layer Description	Representation				
metal	 m1	 m2	 m3	 m4	 m5
well	 nw				
polysilicon	 poly				
contacts & vias	 ct	 v12,v23,v34,v45	 nwc	 pwc	
active area and FETs	 ndif	 pdif	 nfet	 pfet	
select	 nplus	 pplus	 prb		

Regras intra-layer



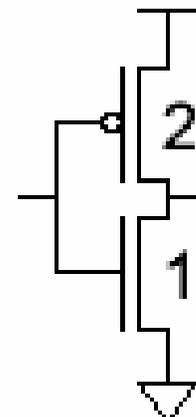
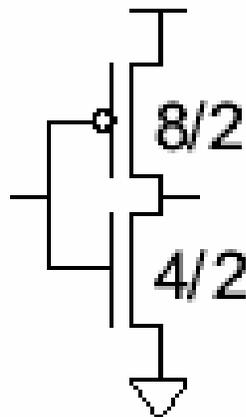
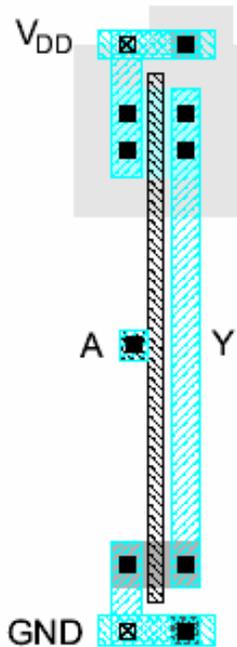
Regras de desenho simplificadas

- Normalmente começa-se com regras

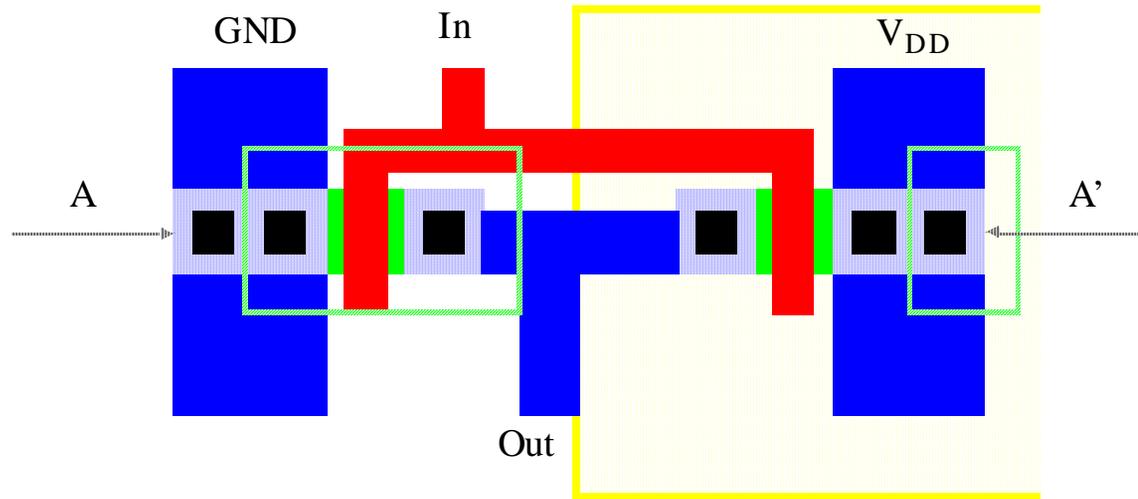


Layout de um inversor

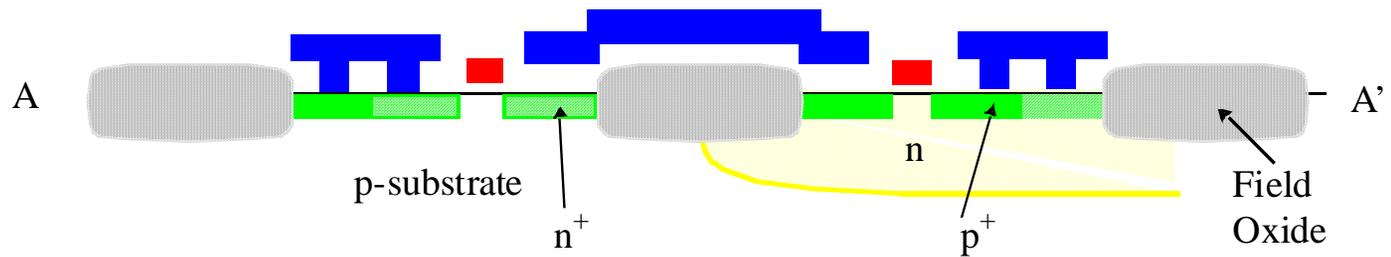
- As dimensões do transistor são especificadas por W/L
 - A dimensão mínima é $4\lambda / 2\lambda$
 - Para um processo com $f = 0.6 \mu\text{m}$, significa um transistor com $1.2 \mu\text{m}$ de largura, por $0.6 \mu\text{m}$ de comprimento



Layout de um inversor

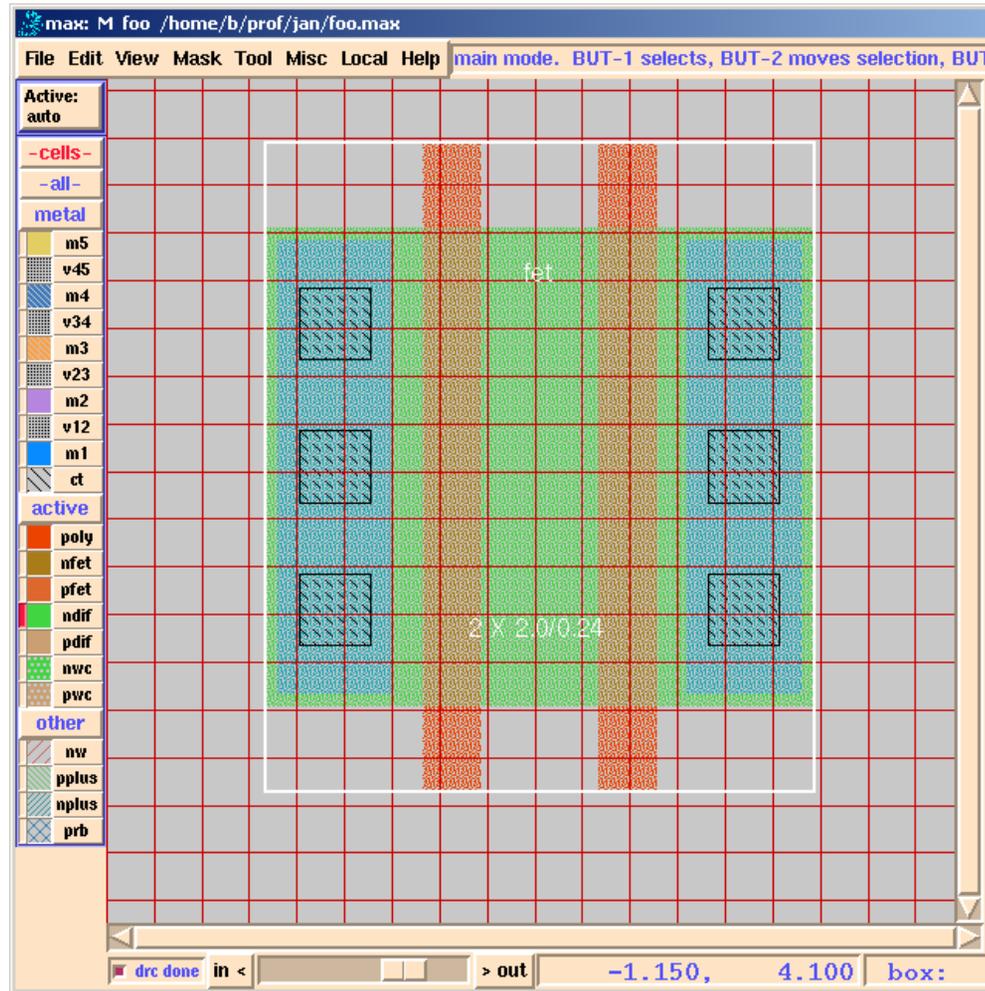


(a) Layout



(b) Cross-Section along A-A'

Editor de layout – DRC, LVS,...



Famílias lógicas digitais

- RTL: Resistor-Transistor Logic
 - DTL: Diode-Transistor Logic
 - TTL: Transistor-Transistor Logic
 - ECL: Emitter-coupled Logic
 - MOS: Metal-Oxide Semiconductor
 - CMOS: Complementary MOS
 - Baixa dissipação, actualmente é a dominante
 - BiCMOS: Bipolar CMOS
 - GaAs: Gallium-Arsenide
- No início, obsoleta
- Amplamente utilizada
- Operação rápida
- compacta
- Muito alta velocidade de operação
- CMOS e TTL para corrente/velocidade adicionais

Características da Tecnologia CMOS

Menor consumo de potência estática
Maiores margens de ruído
Maior densidade de encapsulamento – menor custo por dispositivo
Maior colheita com funções complexas integradas

Vantagens do CMOS sobre bipolar

Impedância de entrada elevada (baixa corrente de controlo)
Tensão de limiar **Scaleable**
Atraso com elevada sensibilidade à carga (limitações de fan-out)
Corrente de saída pequena (problema quando controla cargas capacitivas)
Baixa transcondutância, onde transcondutância $g_m \propto V_{in}$
Capacidade bidireccional (permutação entre drain e source)
Próximo de um interruptor ideal

Outras vantagens do CMOS

Características da Tecnologia bipolar

Vantagens do bipolar sobre CMOS

- Maior velocidade de comutação
- Maior controlo de corrente por unidade de área, maior ganho
- Normalmente melhor performance de ruído e melhor característica de frequência
- Melhor capacidade analógica
- Melhor velocidade I/O (particularmente significativo devido ao aumento da importância do limite do encapsulamento em sistemas de alta velocidade)

- Elevada dissipação de potência
- Menor impedância de entrada (corrente de comando elevada)
- Baixo swing lógico
- Baixa densidade de encapsulamento
- Atraso com pouca sensibilidade à carga
- Elevado g_m ($g_m \propto V_{in}$)
- Produto ganho-largura de banda (f_t) elevado a baixas correntes
- Essencialmente unidireccional

Outras características do Bipolar

Tecnologia BiCMOS

- Combina as duas tecnologias (Bipolar e CMOS) tirando partido do ganho dos transístores bipolares e do baixo consumo da tecnologia CMOS.
- Espaço físico para layout otimizado comparado com a tecnologia Bipolar.
- I_B , I_{offset} e V_{offset} otimizados
- Processo de fabrico muito caro quando comparado com a tecnologia Bipolar e CMOS.
- Utilizando as vantagens do bipolar e do CMOS, BiCMOS permite o desenvolvimento de circuitos VLSI com uma elevada densidade velocidade-potência, não conseguida pelas tecnologias individualmente

Combinar de vantagens na tecnologia BiCMOS

- O desenho utiliza portas CMOS combinadas com um andar totem-pole quando se pretende controlar cargas com capacidade elevada
- Resultado dos benefícios da tecnologia BiCMOS sobre só CMOS ou só Bipolar:
 - Aumento da velocidade relativamente à tecnologia CMOS pura
 - Menor dissipação de potência relativamente à tecnologia bipolar pura (facilitando os requisitos de encapsulamento e de board)
 - I/O flexível (i.e, TTL, CMOS ou ECL) – a tecnologia BiCMOS é apropriada para aplicações intensas de I/O. É possível obter facilmente níveis de entrada e saída ECL, TTL e CMOS sem problemas de velocidade ou de interligação.
 - Melhor performance analógico
 - Imunidade ao latch-up

O inversor BiCMOS *simplificado*

Dois transístores bipolar (T_3 and T_4), um nMOS e um pMOS (ambos de, OFF- $V_{in}=0V$)
Os interruptores MOS efectuam a função lógica e os bipolares controlam a carga

$V_{in} = 0$:

T_1 – OFF -> Consequentemente T_3 não conduz

T_2 - ON -> fornece corrente à base de T_4

Tensão na base de T_4 com o valor V_{dd} .

T_4 actua como fonte de corrente que carrega C_L para V_{dd} .

V_{out} sobe para $V_{dd} - V_{be}$ (de T_4)

T_4 . Nota : V_{be} (de T_4) é a tensão base-emissor de

(transístor bipolar de pullup desliga quando a saída é $5V - V_{be}$ (de T_4))

$V_{in} = V_{dd}$:

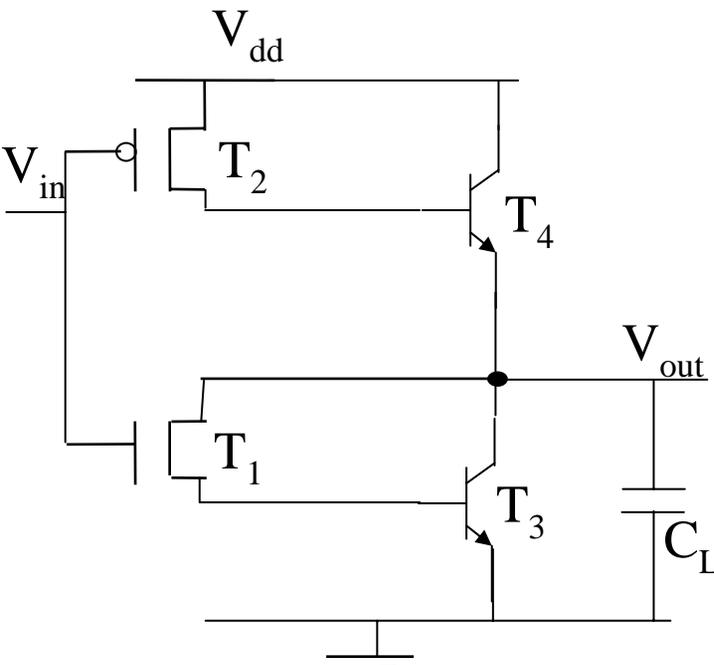
T_2 – OFF -> Consequentemente T_4 não conduz.

T_1 – ON -> fornece corrente à base de T_3

T_3 conduz e funciona com sorvedouro de corrente para descarregar C_L para $0V$.

V_{out} cai para $0V + V_{CESat}$ (de T_3)

Nota : V_{CESat} (de T_3) é a tensão de saturação de T_3

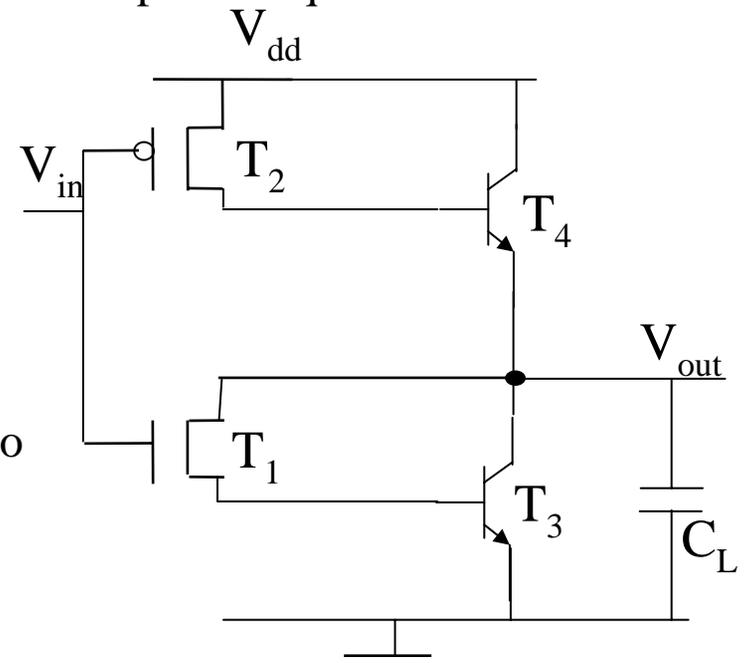


O inversor BiCMOS *simplificado*

- T3 & T4 apresentam baixa impedância quando são colocados na saturação e a carga C_L é carregada e descarregada rapidamente
- Os níveis lógicos de saída serão bons e próximo de rail-to-rail dado V_{CEsat} que é muito pequeno e $V_{BE} \approx 0.7V$. Desta forma, o inversor apresenta elevada margem para ruído
- O inversor tem elevada impedância de entrada, i.e., da gate MOS
- O inversor tem baixa impedância de saída
- O inversor tem uma elevada capacidade de corrente e ocupa uma área relativamente pequena
- Contudo, esta não é uma boa topologia para implementar dado que não existe nenhum caminho para a corrente da base dos dois transístores bipolares quando estes estão a desligar, i.e.,

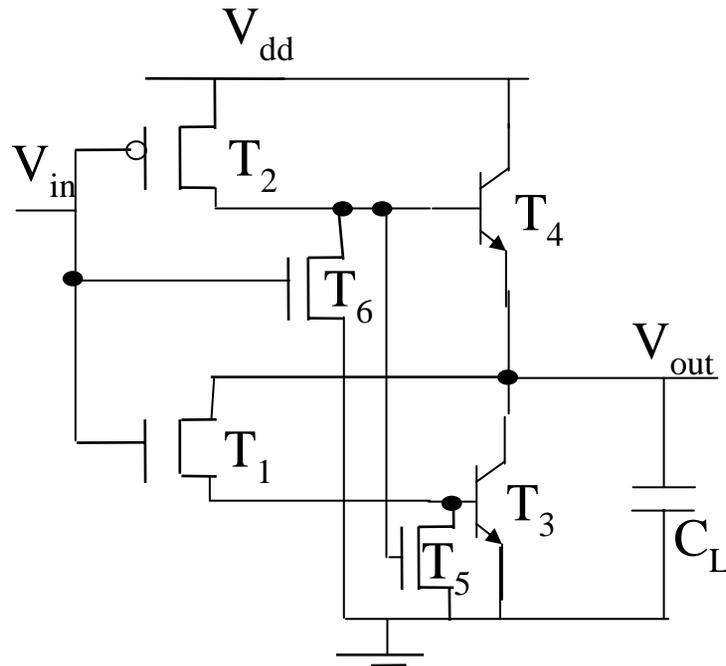
- quando $V_{in} = V_{dd}$, T2 OFF e não existe caminho para a base de T4
- quando $V_{in} = 0$, T1 OFF e não existe caminho para a base de T3

Isto reduz a velocidade de funcionamento do circuito



O inversor BiCMOS *convencional*

Mais uma vez esta porta não permite funcionamento rail-to-rail. Assim, existe alguma dissipação de potência quando alimenta outro andar CMOS ou BiCMOS. A componente de fuga pode ser reduzida através do controlo dos parâmetros de dispositivo BiCMOS.



Estruturas BiCMOS mais avançadas

- Existem várias estruturas de portas BiCMOS para ultrapassar as desvantagens da porta BiCMOS convencional
- Existem portas BiCMOS disponíveis que permitem funcionamento rail-to-rail
- Existem uma estrutura comum em todas as portas BiCMOS:
 - Todas elas se baseiam numa estrutura com MOSFET que controlam transístores bipolares
- A tecnologia BiCMOS tem a capacidade de fornecer potência e densidade a velocidades que antes eram do domínio do bipolar.
- BiCMOS posiciona-se no mercado entre:
 - Muito alta velocidade, mas famintos por potência, como o bipolar ECL (Emitter Coupled Logic)
 - Muito alta densidade, CMOS velocidade média

Estruturas BiCMOS mais avançadas

- Quando não há limite de potência, a tecnologia bipolar otimizada para velocidade será sempre mais rápida do que a BiCMOS e deve ser utilizada
- Contudo, quando existe limite de potência, a habilidade de colocar a potência onde é necessária, normalmente permite à tecnologia BiCMOS uma velocidade superior à bipolar
- A tecnologia BiCMOS torna o conceito SoC uma realidade
- A maioria das gates em ROM's, ALU's, registros, não têm que controlar grandes capacidades. Assim o uso de BiCMOS não daria vantagem de velocidade
- Para tirar o máximo partido das tecnologias disponíveis no silício, poderá ser necessário utilizar um mix de:

CMOS

para lógica

BiCMOS

para I/O e circuitos de drive

ECL

para zonas críticas de alta velocidade

Comparação de famílias lógicas

e.g., 74BCT tem velocidade semelhante ao 74F mas com menor consumo de potência

Device	Description	Technology	Delay(ns)	Pstatic	Vohmin Volmax @Iomax	Vihmin Vilmax	Iihmax Iilmax
74	Standard TTL	TTL	10	10 mW	2.4/0.4	2/0.8	40 μ A/-1.6 mA
74S	Schottky clamped TTL – transistors do not enter saturation	TTL	3	20 mW	2.7/0.5	2/0.8	50 μ A/-2 mA
74LS	Low power Schottky – as 74S but larger resistor values	TTL	10	2 mW	2.7/0.5	2/0.8	20 μ A/-0.4 mA
74AS	Advanced Schottky – same as 74S but improved processing	TTL	2	8 mW	2.7/0.5	2/0.8	20 μ A/-0.5 mA
74ALS	Advanced low power Schottky – low power version of 74AS	TTL	4	1 mW	2.7/0.5	2/0.8	20 μ A/-0.1 mA
74F	Fast – compromise between S and ALS	TTL	3	4 mW	2.7/0.5	2/0.8	20 μ A/-0.6 mA
74C	Standard CMOS – first CMOS parts in TTL pinout	CMOS	30	50 μ W	4.2/0.4	3.5/1	\pm 2 μ A
74HC	High speed CMOS – improved CMOS	CMOS	9	25 μ W	4.3/0.33	3.5/1	\pm 0.1 μ A
74HCT	High speed CMOS with TTL i/p voltage levels	CMOS	10	25 μ W	4.3/0.33	2/0.8	\pm 0.1 μ A
74AC	Advanced high speed CMOS (1.5 μ m CMOS)	CMOS	4	25 μ W	4.3/0.44	3.5/1.5	\pm 0.1 μ A
74ACT	Advanced high speed CMOS with TTL i/p voltage levels	CMOS	6	25 μ W	4.3/0.44	2/0.8	\pm 0.1 μ A
74(A)BCT	High speed BiCMOS for line drivers	BiCMOS	3.5	600 μ W	2/0.55	2/0.8	0.07 mA/0.65 mA
74LVC	Low voltage (2.7–3.6 V) 1 μ m CMOS	CMOS	5	50 μ W	2/0.55	2/0.8	\pm 1 μ A
74LV	Low voltage (2.7–3.6 V) 2 μ m CMOS	CMOS	9	50 μ W	2.4/0.4	2/0.8	\pm 1 μ A
74LVT	Low voltage BiCMOS (optional 5 V inputs, 3 V outputs)	BiCMOS	4	400 μ W	2/0.5	2/0.8	\pm 1 μ A
74ALVC	Advanced low voltage 1 μ m CMOS	CMOS	3	50 μ W	2/0.55	2/0.8	\pm 5 μ A
4000B	Early CMOS, not TTL pin compatible, 5–12 V supply	CMOS	75	50 μ W	2.5/0.4	3.5/1.5	\pm 0.1 μ A
F100K	100K ECL series – very fast but poor noise margins	ECL	0.75	20 mW	-0.9/-1.7	-1.2/-1.4	240 μ A, 0.5 μ A

Vantagens adicionais da tecnologia BiCMOS

- Projecto de amplificadores analógicos mais fácil e melhorado
- Os transístores CMOS de elevada impedância de entrada podem ser utilizados nos andares de entrada e os bipolares nos andares de saída
- Geralmente, os dispositivos BiCMOS permitem uma elevada capacidade de corrente, quando comparados com o CMOS convencional
- A velocidade do MOS depende de parâmetros tais como corrente de saturação e capacidade, que por sua vez dependem da espessura do óxido, dopagem do substrato e largura do canal
- Comparado com o CMOS, a velocidade do BiCMOS depende menos da carga capacitiva, o que permite uma variedade de circuitos de I/O

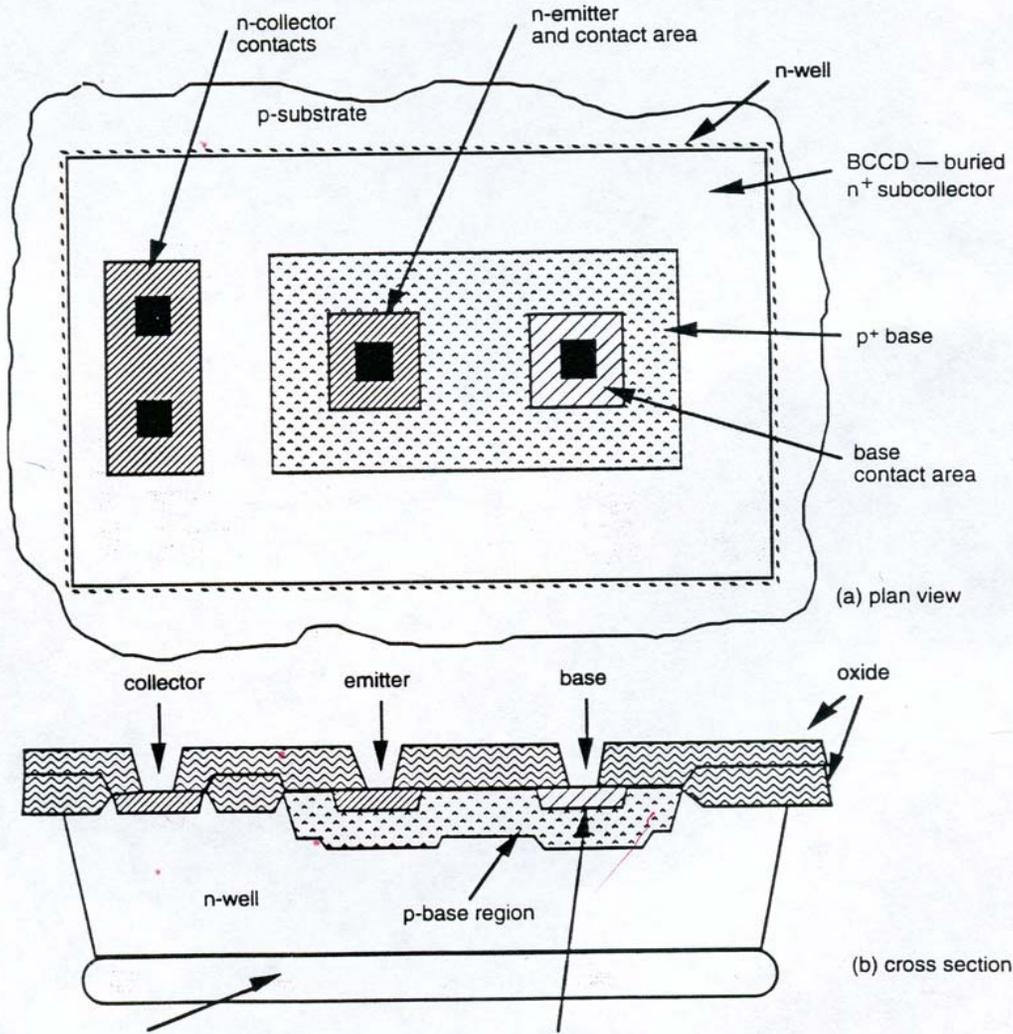
[A velocidade de pico é menos dependente da capacidade do circuito. Os parâmetros que determinam a velocidade do circuito bipolar são f_t , J_k e R_b , que também dependem de parâmetros do processo como a largura da base, largura do emissor, epitaxial layer profile, ...]

Existem desvantagens na tecnologia BiCMOS?

- Desvantagem principal : grande complexidade do processo, quando comparada com CMOS
- Resulta num aumento entre 1.25-1.4 no preço do die relativamente ao CMOS. Tendo em consideração os custos de encapsulamento, o custo total de fabrico de um chip CMOS anda por 1.1-1.3 vezes o do CMOS.
- Contudo, como a complexidade CMOS aumentou, a diferença do custo entre as máscaras CMOS e BiCMOS diminuiu. Consequentemente, tal como a dissipação de potência ditou a mudança de nMOS para CMOS no fim dos 70's, os requisitos de velocidade ditaram uma mudança para BiCMOS em dispositivos VLSI que necessitam de velocidade elevada
- Os custos de investir em tecnologias CMOS cada vez menores (< 1 um) aumentam exponencialmente, enquanto que a necessidade de low-power para sub-0.5 um CMOS resulta na degradação de performance. Dado que o BiCMOS não precisa de ser reduzido tão agressivamente como o CMOS, podem-se utilizar as fabs existentes com um custo reduzido. OS custos extra são absorvidos pela utilização do equipamento e salas limpas durante mais uma geração tecnológica.

Fabrico BiCMOS

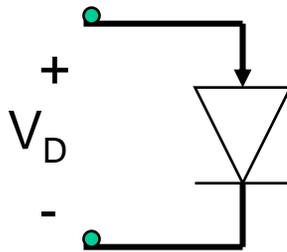
- Teoricamente existe pouca dificuldade em estender um processo CMOS para incluir também transístores bipolares
- De facto, um dos problemas do processamento com p-well e n-well é o aparecimento de transístores bipolares parasitas que se formam inadvertidamente no fabrico
- A produção de transístores bipolares npn com boa performance pode ser conseguido com a extensão do CMOS n-well standard para incluir máscaras adicionais para duas novas camadas: n+ sub-colector e p+base



Transistor npn BiCMOS (orbit 2um CMOS)

O Díodo

- A *equação do díodo ideal* (para polarização directa e inversa) é

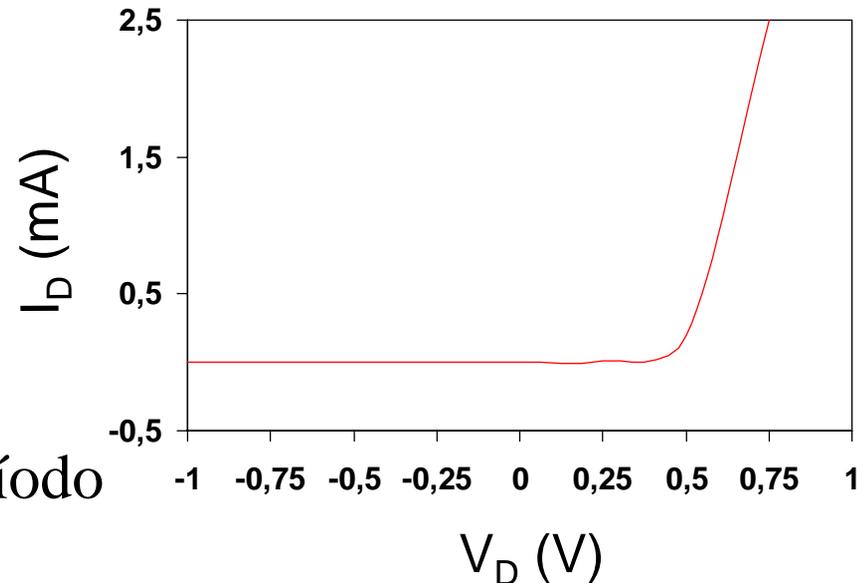

$$I_D = I_S(e^{V_D/\phi_T} - 1)$$

onde V_D é a tensão aplicada à junção pn

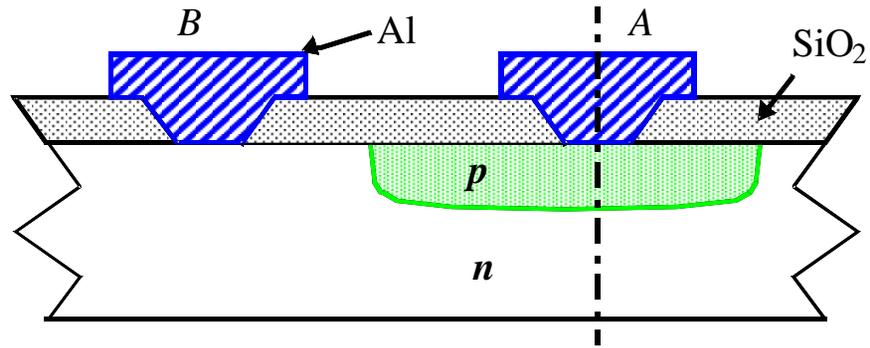
- Uma polarização directa
baixa a barreira de potencial
permitindo o fluxo de portadores
- Uma polarização inversa
aumenta a barreira de potencial
impedindo o fluxo de portadores

$$\phi_T = kT/q = 26\text{mV a } 300\text{K}$$

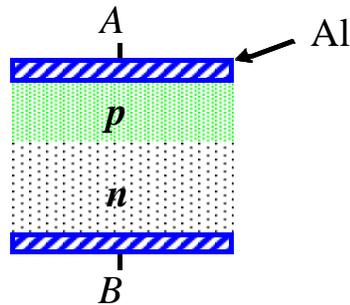
I_S é a corrente de saturação do díodo



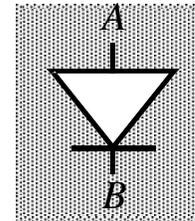
O Díodo



Perfil de uma junção p-n num processo IC



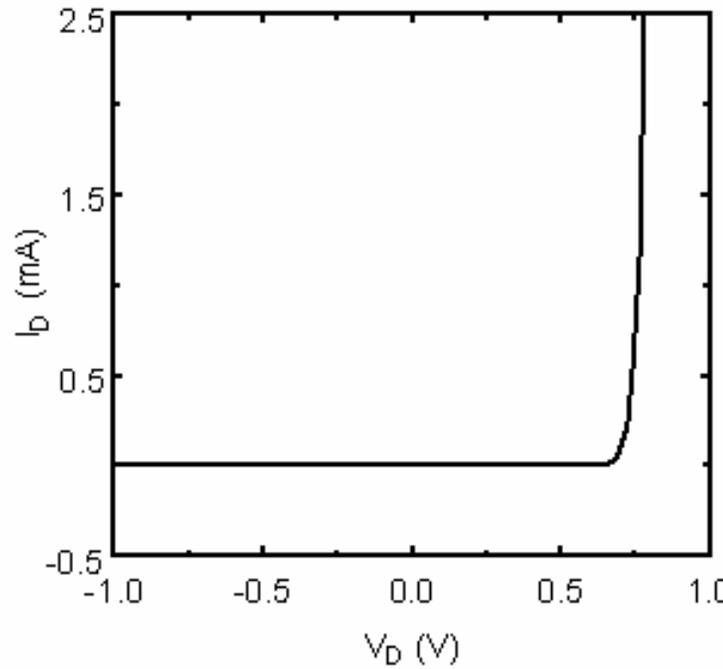
Representação
Uni-dimensional



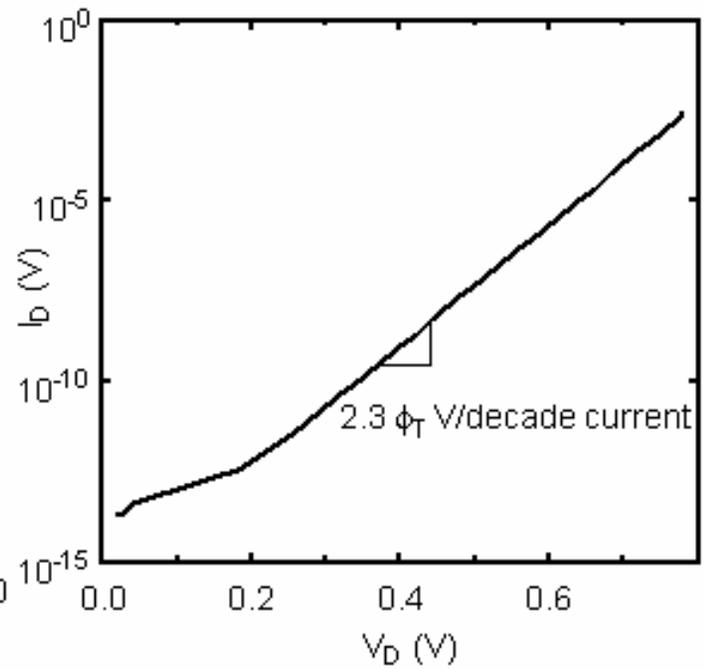
Símbolo do díodo

Em ICs digitais, na maioria, aparece como elemento parasita

Corrente no díodo



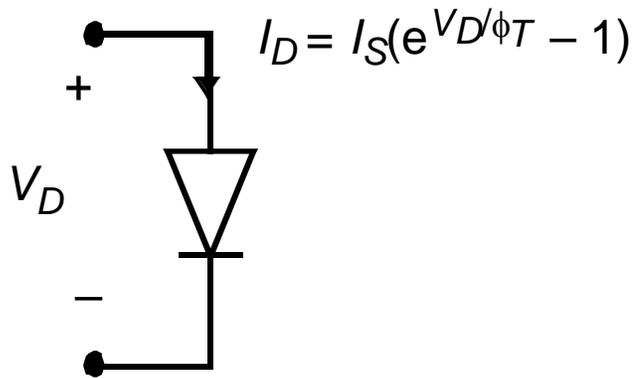
(a) On a linear scale.



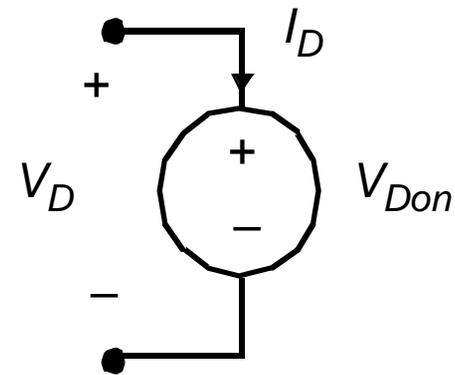
(b) On a logarithmic scale (forward bias).

$$I_D = I_S \left(e^{V_D / \phi_T} - 1 \right)$$

Modelos para análise manual

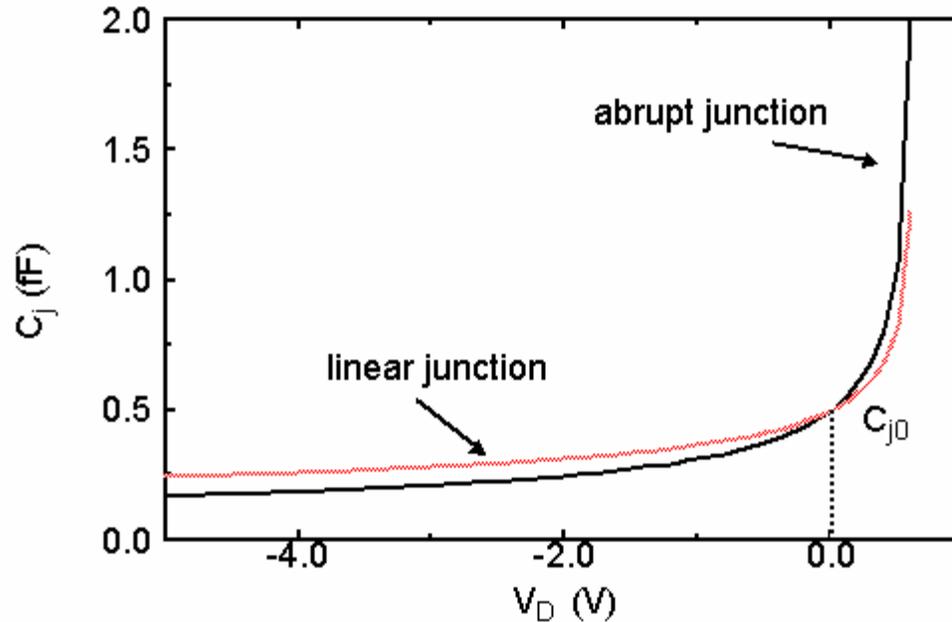


(a) Ideal diode model



(b) First-order diode model

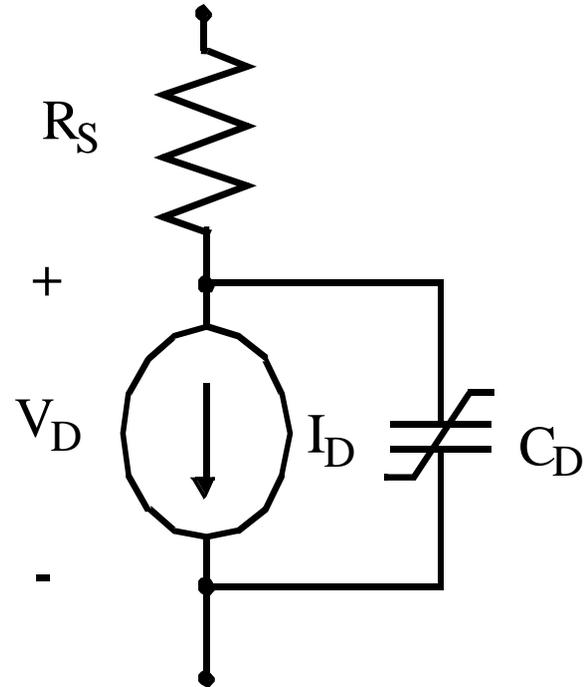
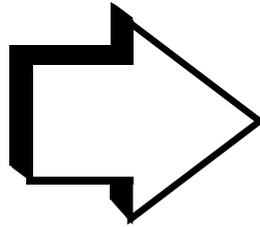
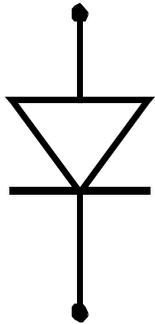
Capacidade da junção



$$C_j = \frac{C_{j0}}{(1 - V_D / \phi_0)^m}$$

$m = 0.5$: abrupt junction
 $m = 0.33$: linear junction

Modelo do díodo

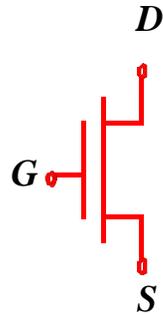


Parâmetros do SPICE

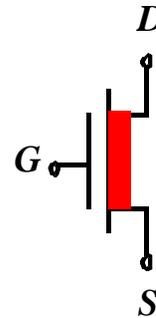
Parameter Name	Symbol	SPICE Name	Units	Default Value
Saturation current	I_S	IS	A	1.0 E-14
Emission coefficient	n	N	-	1
Series resistance	R_S	RS	Ω	0
Transit time	τ_T	TT	sec	0
Zero-bias junction capacitance	C_{j0}	CJ0	F	0
Grading coefficient	m	M	-	0.5
Junction potential	ϕ_0	VJ	V	1

First Order SPICE diode model parameters.

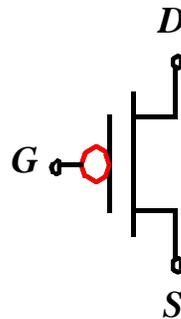
Transístores MOS - Tipos e Símbolos



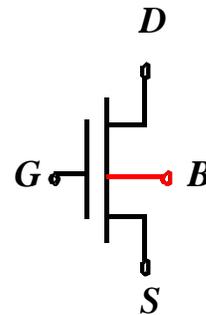
Enriquecimento NMOS



Depleção NMOS



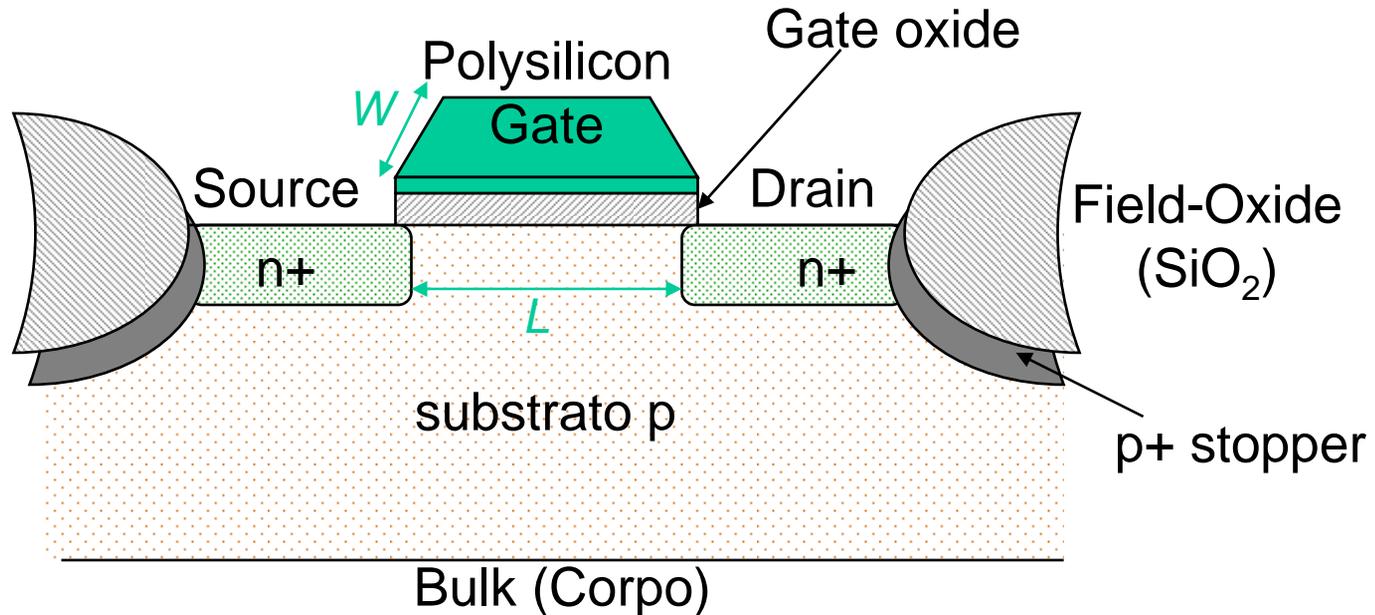
Enriquecimento PMOS



NMOS com contacto Bulk

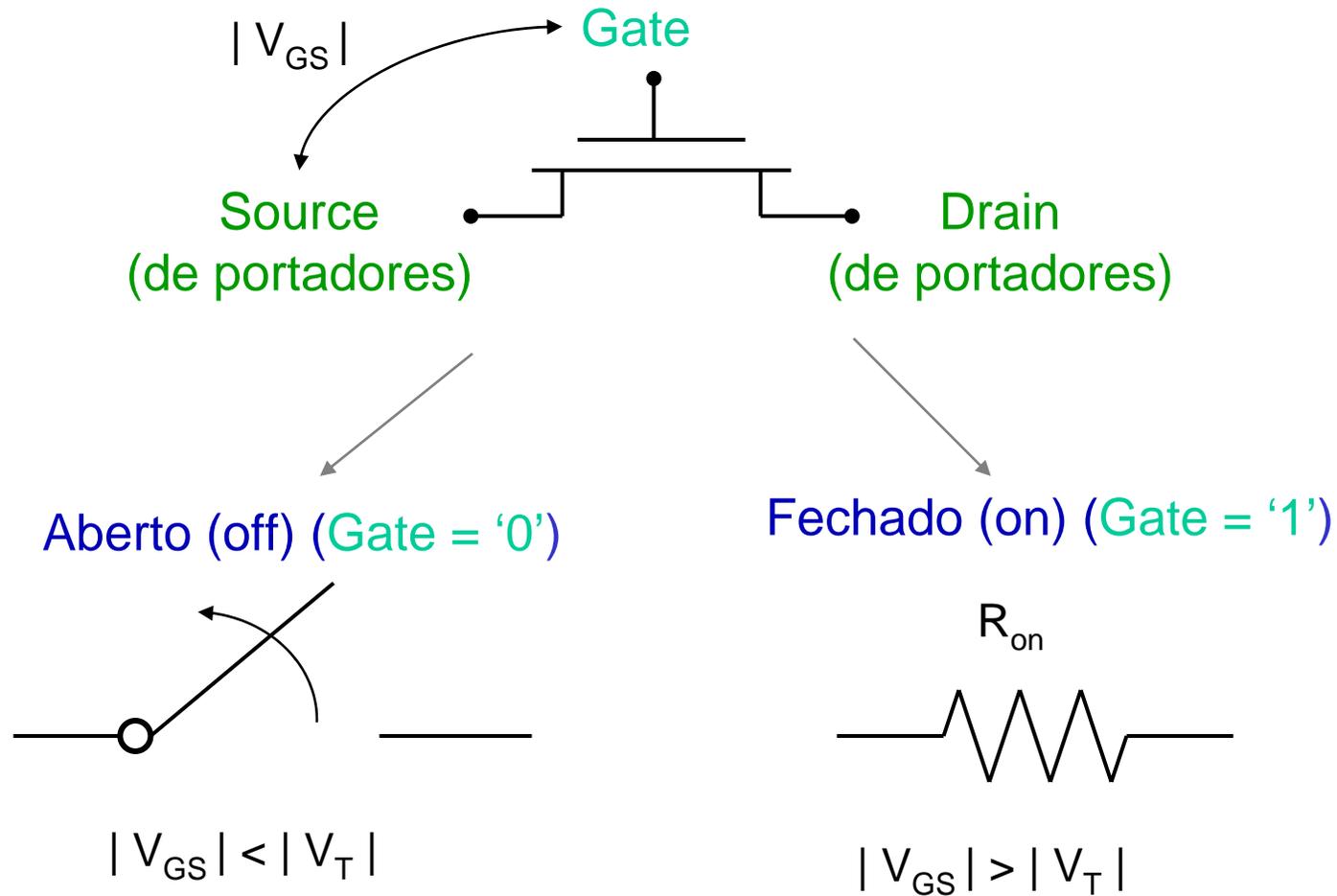
O perfil do transístor NMOS

áreas **n** foram dopadas com iões **doadores** (arsénio) com concentração N_D – os electrões são os portadores maioritários

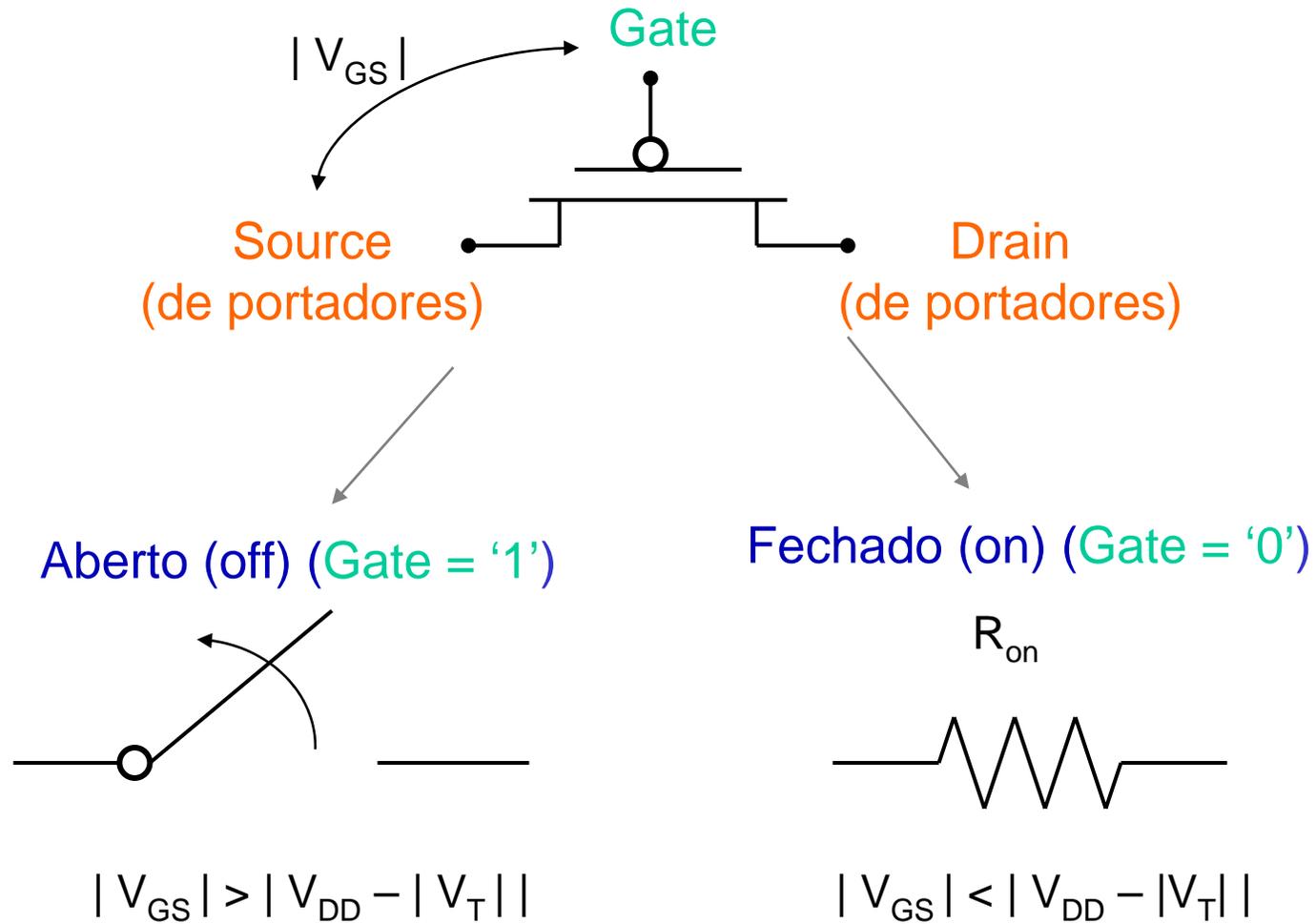


áreas **p** foram dopadas com iões **aceitadores** (boro) com concentração N_A – as lacunas são os portadores maioritários

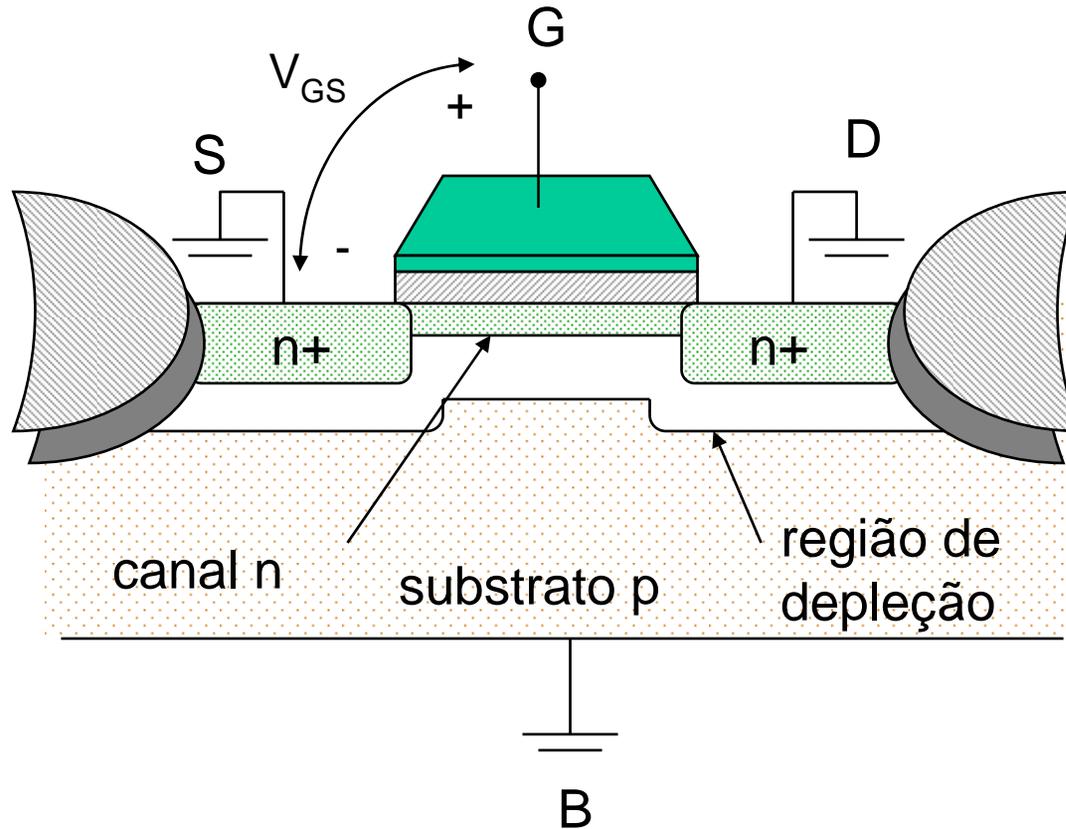
Modelo de comutação para o transistor NMOS



Modelo de comutação para o transistor PMOS



Conceito de tensão limiar



O valor de V_{GS} para o qual ocorre uma forte inversão é designado por tensão de limiar, V_T

Tensão limiar

$$V_T = V_{T0} + \gamma(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|})$$

onde

V_{T0} é a tensão limiar para $V_{SB} = 0$ e é na maioria uma função do processo de fabrico

– Diferença entre a função-trabalho entre o material da gate e o substrato, espessura do óxido, tensão de Fermi, carga de impurezas presas na superfície, dosagem dos iões implantados, etc.

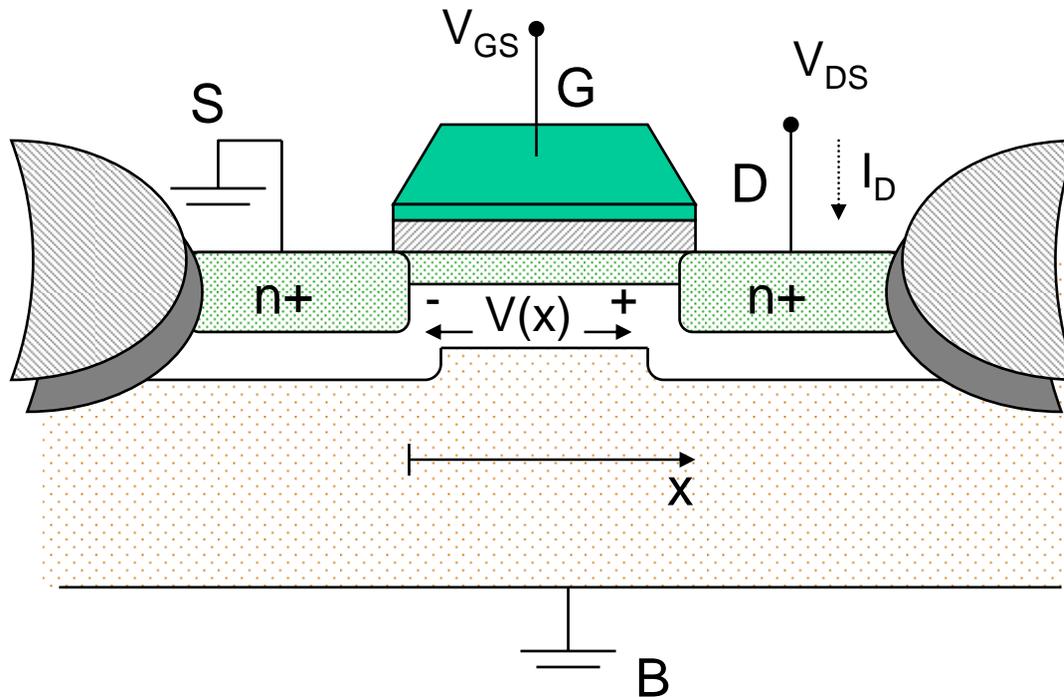
V_{SB} é a tensão source-bulk

$\phi_F = -\phi_T \ln(N_A/n_i)$ é o **Potencial de Fermi** ($\phi_T = kT/q = 26\text{mV}$ a 300K é a tensão térmica; N_A é a concentração de iões dadores; $n_i \approx 1.5 \times 10^{10} \text{ cm}^{-3}$ a 300K é a concentração de portadores para silício puro)

$\gamma = \sqrt{(2q\epsilon_{\text{si}}N_A)/C_{\text{ox}}}$ é o **coeficiente de body-effect** (impacto das mudanças em V_{SB}) ($\epsilon_{\text{si}} = 1.053 \times 10^{-10} \text{ F/m}$ é a permitividade do silício; $C_{\text{ox}} = \epsilon_{\text{ox}}/t_{\text{ox}}$ é a capacidade do gate oxide com $\epsilon_{\text{ox}} = 3.5 \times 10^{-11} \text{ F/m}$)

Transistor na região linear

Assumindo $V_{GS} > V_T$



A corrente é uma função linear de V_{GS} e de V_D

Relação tensão-corrente : Região linear

Para dispositivos de canal-longo ($L > 0.25$ micron)

- Quando $V_{DS} \leq V_{GS} - V_T$

$$I_D = k'_n W/L [(V_{GS} - V_T)V_{DS} - V_{DS}^2/2]$$

onde

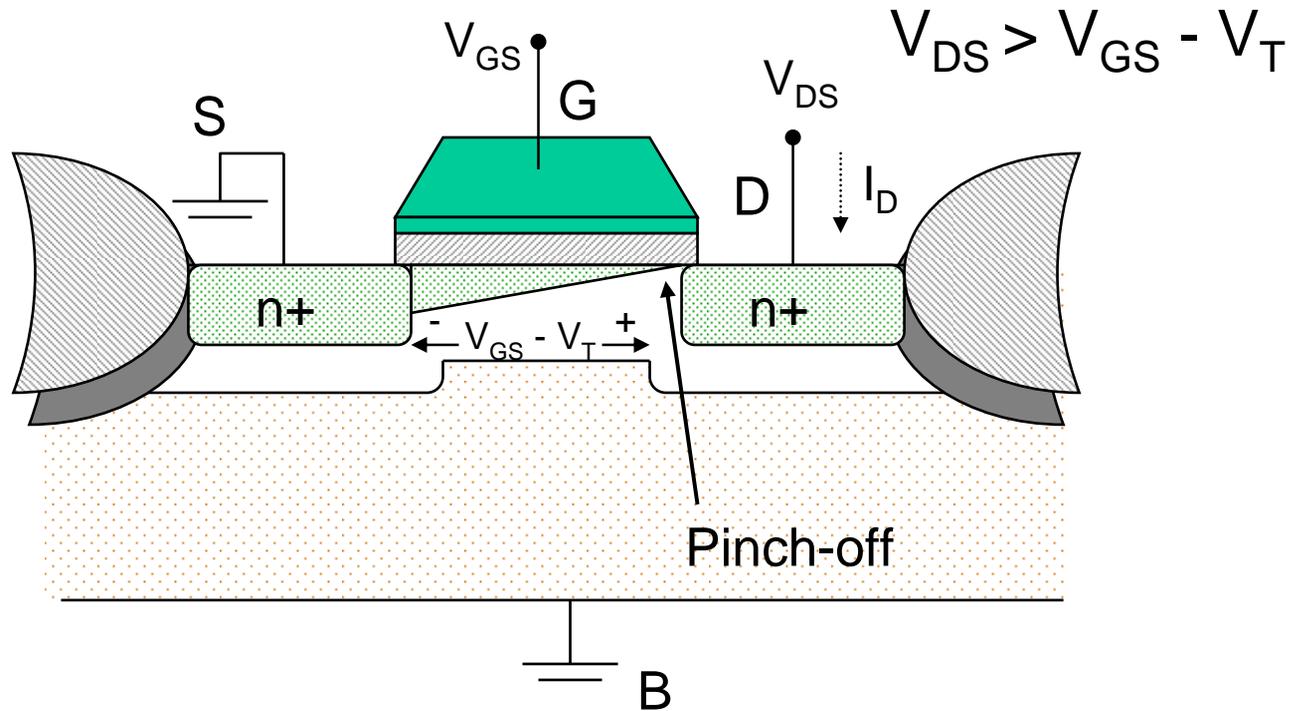
$k'_n = \mu_n C_{ox} = \mu_n \epsilon_{ox}/t_{ox}$ = é o **parâmetro de transcondutância do processo** (μ_n é a mobilidade dos portadores ($m^2/Vsec$))

$k_n = k'_n W/L$ é o **factor de ganho** do dispositivo

Para V_{DS} pequeno, existe uma dependência linear entre V_{DS} e I_D , daí o nome de região **resistiva** ou **linear**

Transistor no modo de saturação

Assumindo $V_{GS} > V_T$



A corrente permanece constante (satura).

Relação tensão-corrente : Região de saturação

Para dispositivos de canal-longo

- Quando $V_{DS} \geq V_{GS} - V_T$

$$I_D' = k_n' / 2 \cdot W/L \cdot [(V_{GS} - V_T)^2]$$

dado que a diferença de potencial sobre o canal induzido

(entre o ponto de **pinch-off** e a source) permanece fixa em $V_{GS} - V_T$

- Contudo, o comprimento efectivo do canal condutor é modulado pela aplicação de V_{DS} , assim

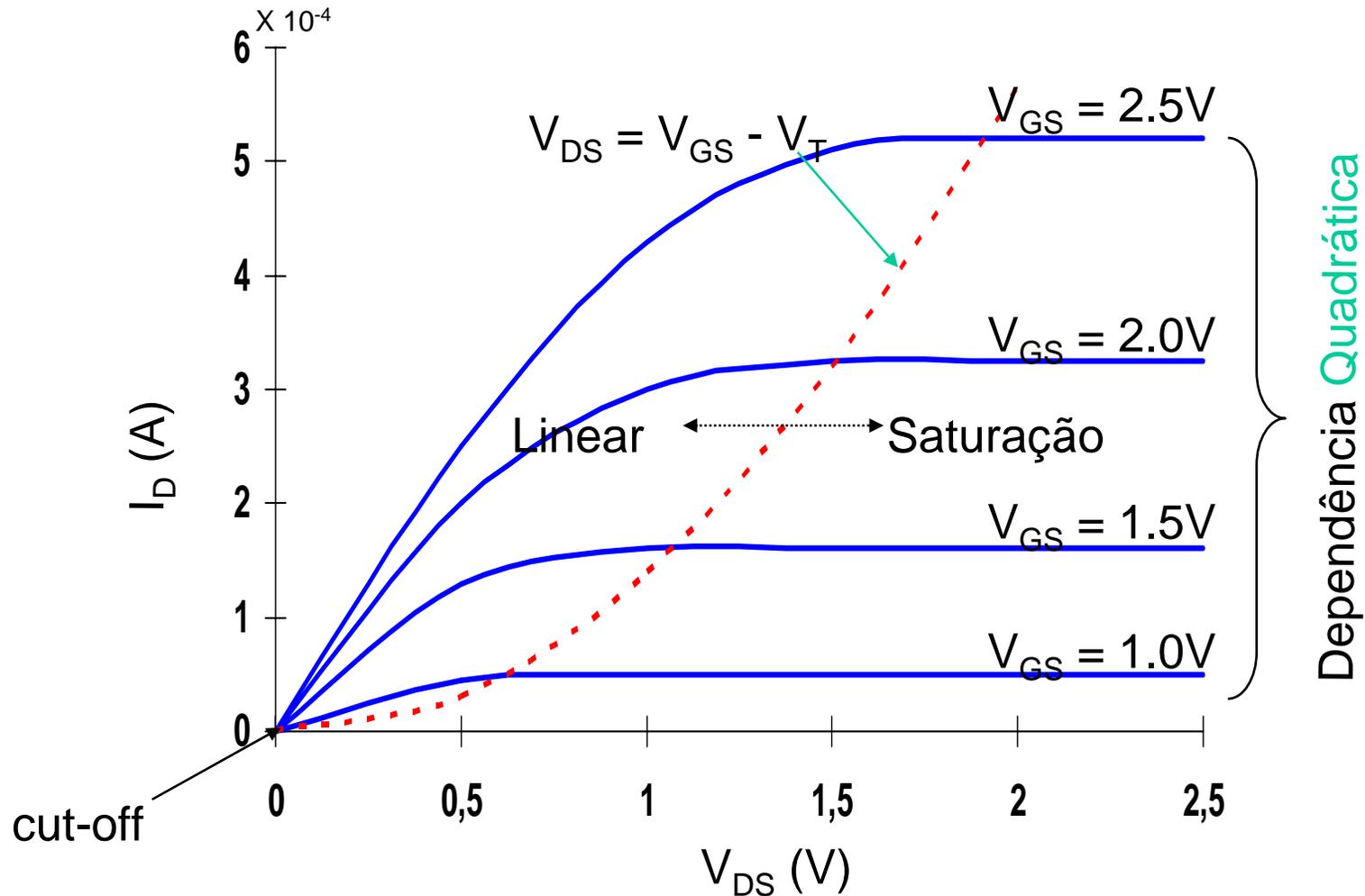
$$I_D = I_D' (1 + \lambda V_{DS})$$

onde λ é a **modulação do comprimento do canal** (varia com o inverso do comprimento do canal)

Determinação da Corrente

- Para um V_{DS} fixo e um $V_{GS} (> V_T)$, I_{DS} é uma função de:
 - distância entre a source e o drain – L
 - Largura do canal – W
 - Tensão de limiar – V_T
 - Espessura do SiO_2 – t_{ox}
 - dieléctrico do isolador da gate (SiO_2) – ϵ_{ox}
 - Mobilidade dos portadores
 - para nMOS: $\mu_n = 500 \text{ cm}^2/\text{V-sec}$
 - para pMOS: $\mu_p = 180 \text{ cm}^2/\text{V-sec}$

Traçado I-V para canal longo (NMOS)

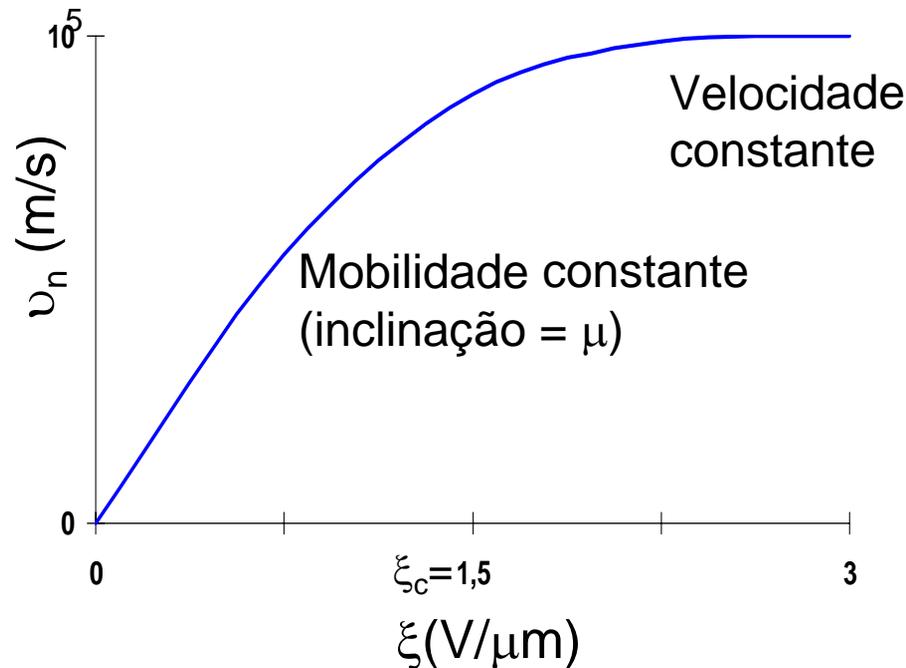


Transistor NMOS, 0.25 μ m, $L_d = 10\mu$ m, $W/L = 1.5$, $V_{DD} = 2.5$ V, $V_T = 0.4$ V

Efeitos de canal curto

O comportamento de um dispositivo de canal curto deve-se principalmente a

$$v_{\text{sat}} = 10^5$$



- **Velocidade de saturação** – a velocidade dos portadores satura devido a scattering (colisões sofridas pelos portadores)

- Para um dispositivo NMOS com L de $.25\mu\text{m}$, bastam alguns volts entre D e S para que se atinja a velocidade de saturação

Relação tensão-corrente : Saturação da velocidade

Para dispositivos de canal-curto

- Linear: Quando $V_{DS} \leq V_{GS} - V_T$

$$I_D = \kappa(V_{DS}) k'_n W/L [(V_{GS} - V_T)V_{DS} - V_{DS}^2/2]$$

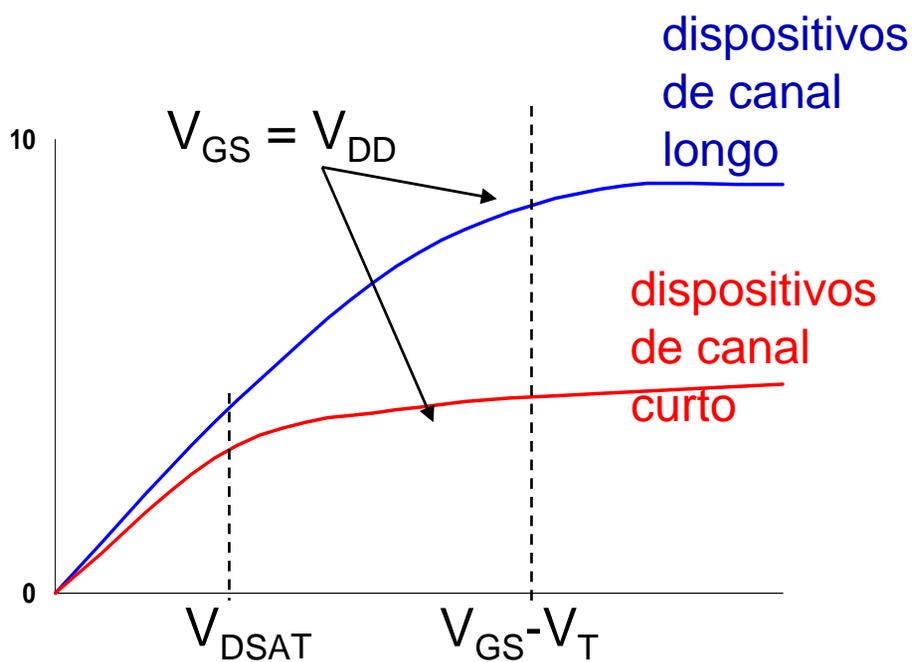
onde

$\kappa(V) = 1/(1 + (V/\xi_c L))$ é uma medida do grau de saturação da velocidade

- Saturação: quando $V_{DS} = V_{DSAT} \geq V_{GS} - V_T$

$$I_{DSat} = \kappa(V_{DSAT}) k'_n W/L [(V_{GS} - V_T)V_{DSAT} - V_{DSAT}^2/2]$$

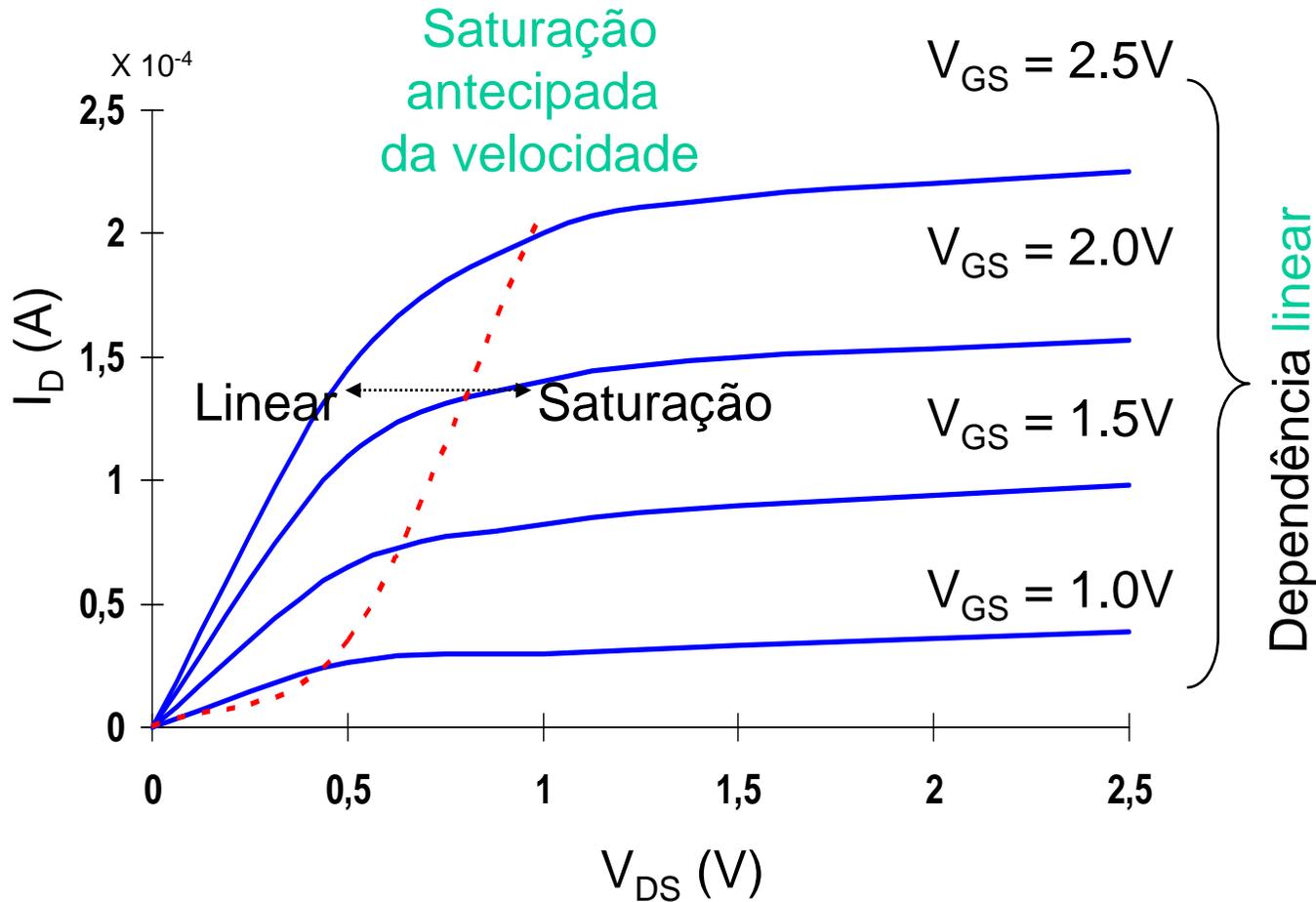
Efeitos da saturação da velocidade



Para dispositivos de canal curto e $V_{GS} - V_T$ suficiente

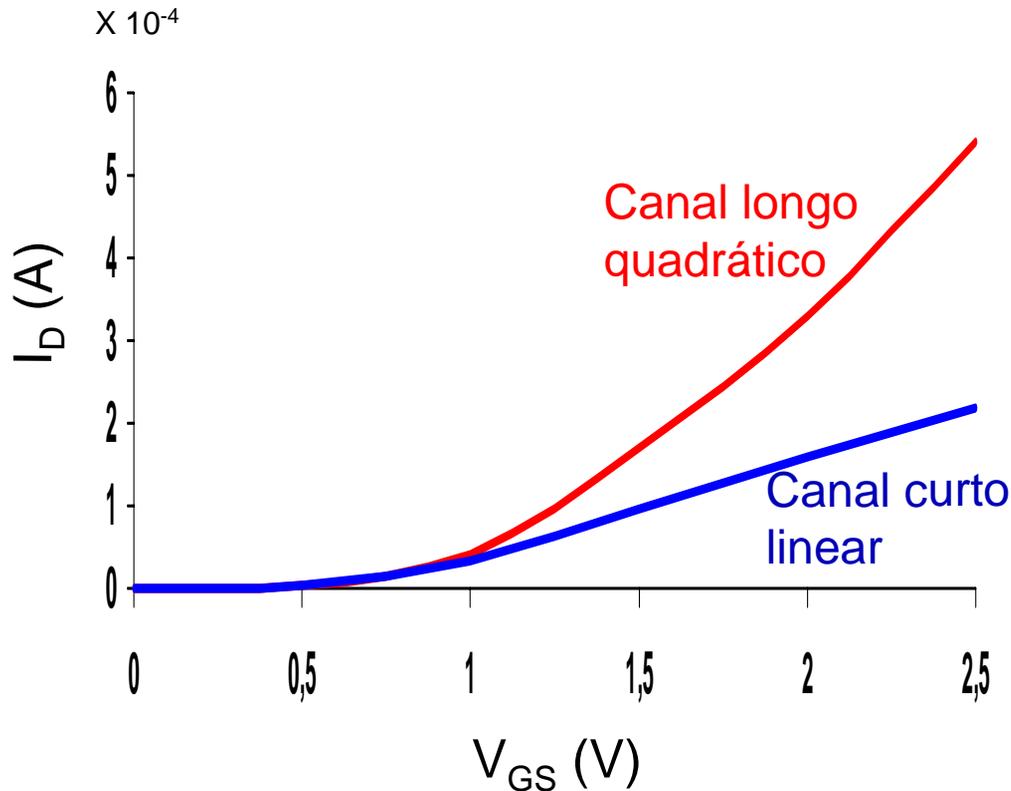
- $V_{DSAT} < V_{GS} - V_T$ e o dispositivo entra na saturação **antes** que V_{DS} atinja $V_{GS} - V_T$ e opera mais na saturação
- I_{DSAT} tem uma **dependência linear** com V_{GS} o que implica que existe uma redução da corrente para uma dada tensão de controlo

Traçado I-V para canal curto (NMOS)



Transistor NMOS, 0.25 μ m, $L_d = 0.25\mu$ m, $W/L = 1.5$, $V_{DD} = 2.5$ V, $V_T = 0.4$ V

Características MOS I_D - V_{GS}

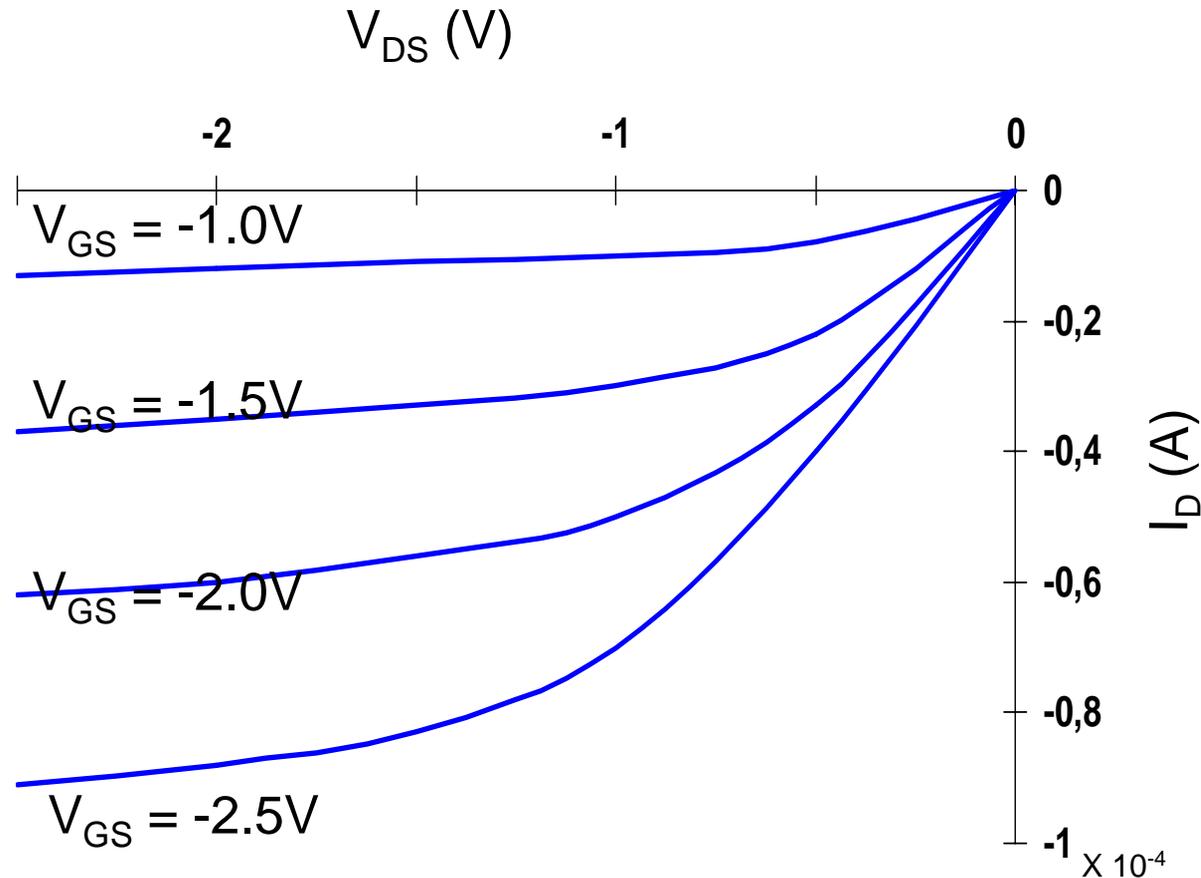


(for $V_{DS} = 2.5V$, $W/L = 1.5$)

- Dependência linear (canal curto) vs. quadrática (canal longo) entre I_D e V_{GS} na saturação
- A saturação da velocidade antecipa a saturação para valores inferiores de V_{DS} o que resulta numa quebra de corrente

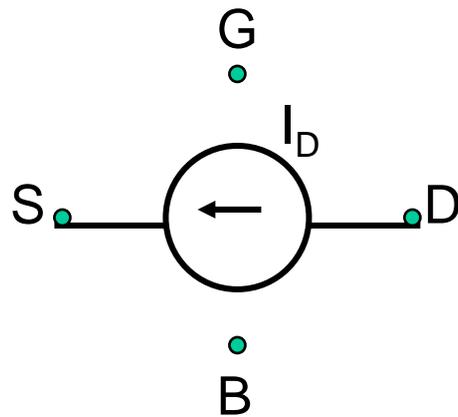
Traçado I-V para canal curto (PMOS)

- Todas as polaridades de todas as tensões e correntes estão invertidas



Transistor PMOS, $0.25\mu\text{m}$, $L_d = 0.25\mu\text{m}$, $W/L = 1.5$, $V_{DD} = 2.5\text{V}$, $V_T = -0.4\text{V}$

Modelo da fonte de corrente MOS



$$I_D = 0 \text{ para } V_{GS} - V_T \leq 0$$

$$I_D = k' W/L [(V_{GS} - V_T)V_{\min} - V_{\min}^2/2](1 + \lambda V_{DS})$$

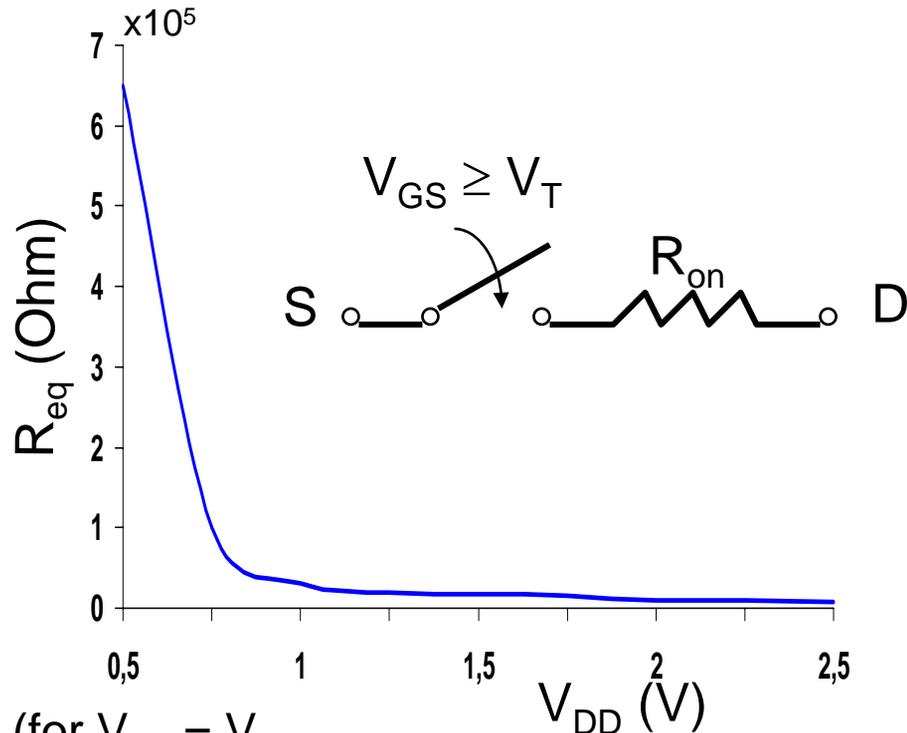
for $V_{GS} - V_T \geq 0$

com $V_{\min} = \min(V_{GS} - V_T, V_{DS}, V_{DSAT})$
 e $V_{GT} = V_{GS} - V_T$

- Determinado pelas tensões nos quatro terminais e um conjunto de cinco parâmetros do dispositivo

	$V_{T0}(\text{V})$	$\gamma(\text{V}^{0.5})$	$V_{DSAT}(\text{V})$	$k'(\text{A}/\text{V}^2)$	$\lambda(\text{V}^{-1})$
NMOS	0.43	0.4	0.63	115×10^{-6}	0.06
PMOS	-0.4	-0.4	-1	-30×10^{-6}	-0.1

Modelo do transístor como interruptor



(for $V_{GS} = V_{DD}$,
 $V_{DS} = V_{DD} \rightarrow V_{DD}/2$)

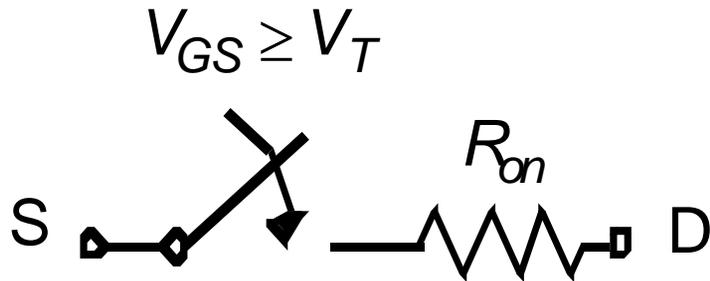
Modelado como um interruptor com uma resistência infinita no estado off e uma resistência no estado on, R_{on}

- Resistência inversamente proporcional a W/L (duplicando W reduz para metade R_{on})
- Para $V_{DD} \gg V_T + V_{DSAT}/2$, R_{on} independentemente de V_{DD}
- Assim que V_{DD} se aproxima de V_T , R_{on} aumenta significativamente

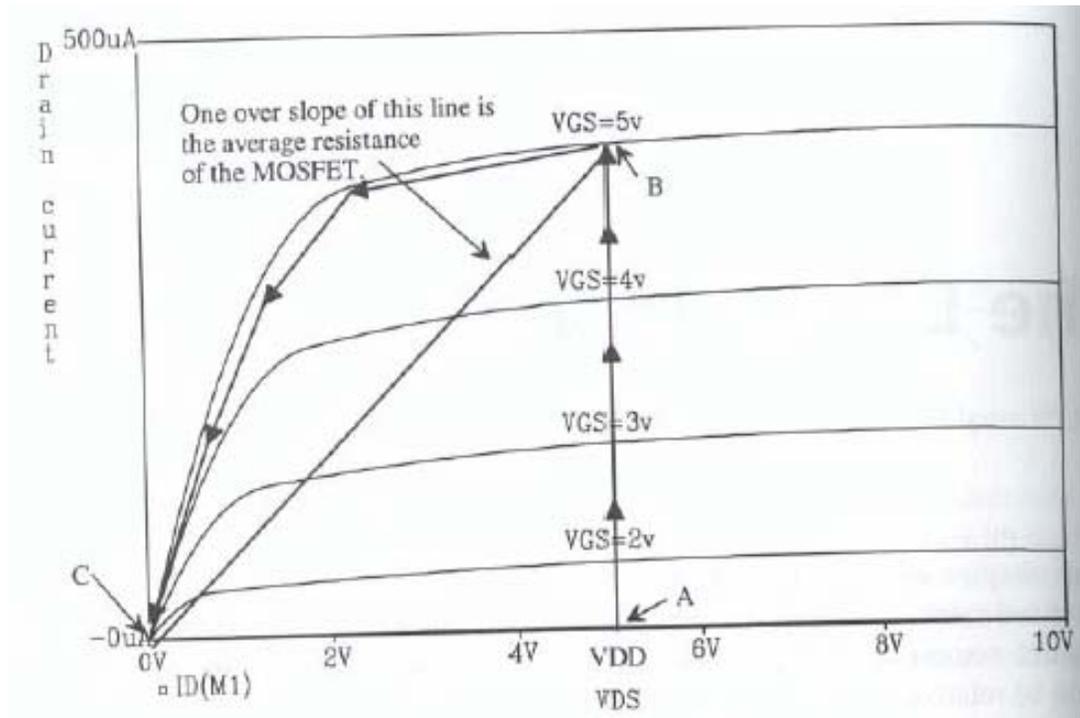
V_{DD} (V)	1	1.5	2	2.5
NMOS(k Ω)	35	19	15	13
PMOS (k Ω)	115	55	38	31

R_{on} (for $W/L = 1$)
 Para dispositivos maiores, dividir por W/L

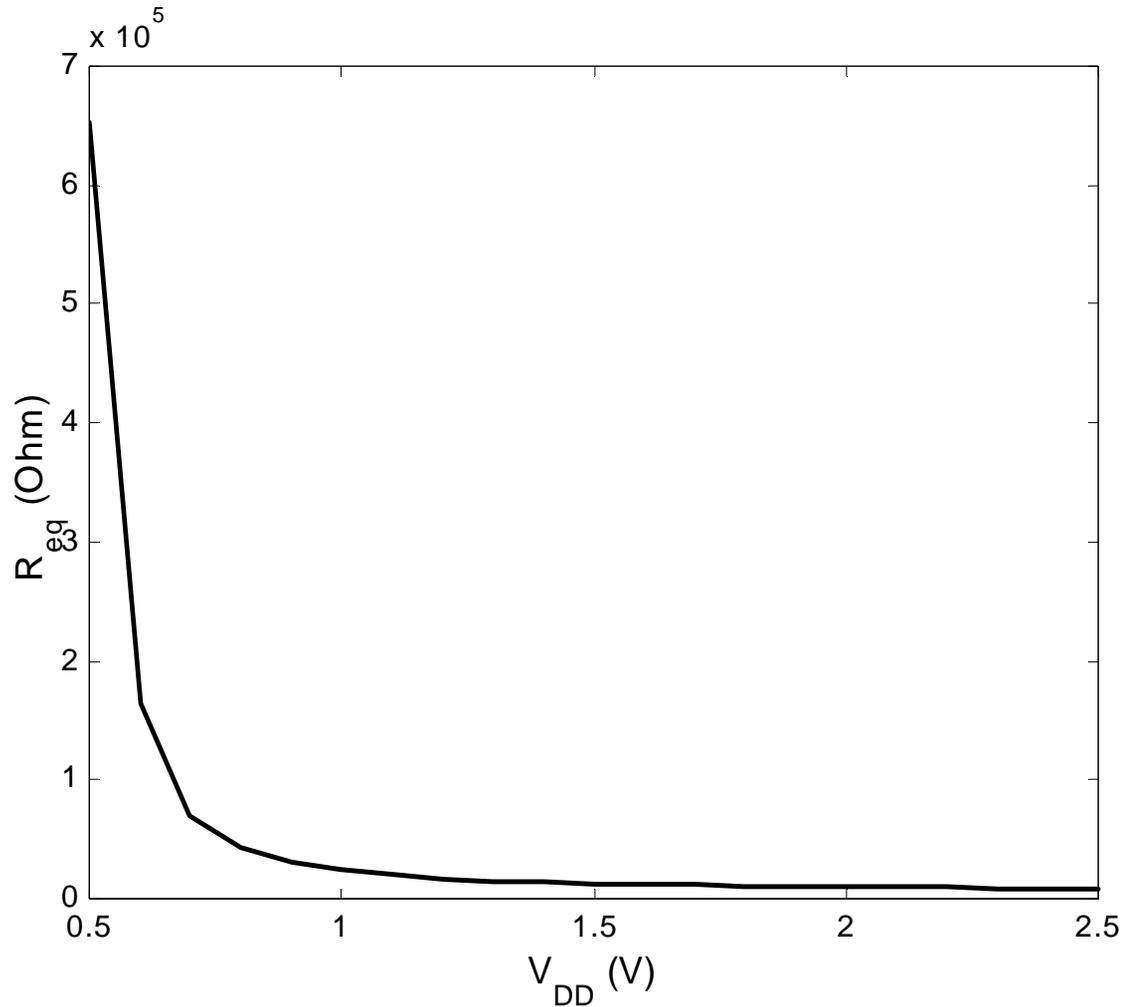
O transistor como interruptor



$$R_n = \frac{VDD}{\frac{K P_n}{2} \frac{W}{L} \cdot (VDD - V_{THN})^2} = R'_n \cdot \frac{L}{W}$$



O transistor como interruptor



Outras preocupações em transístores MOS (**Submicron**)

- **Saturação da velocidade**

- **Condução sub-limiar**

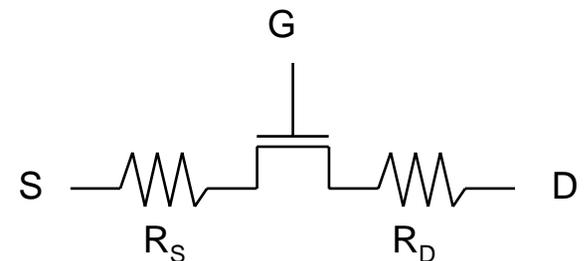
 - O transístor já conduz parcialmente para tensões abaixo de V_T

- **Variações do limiar**

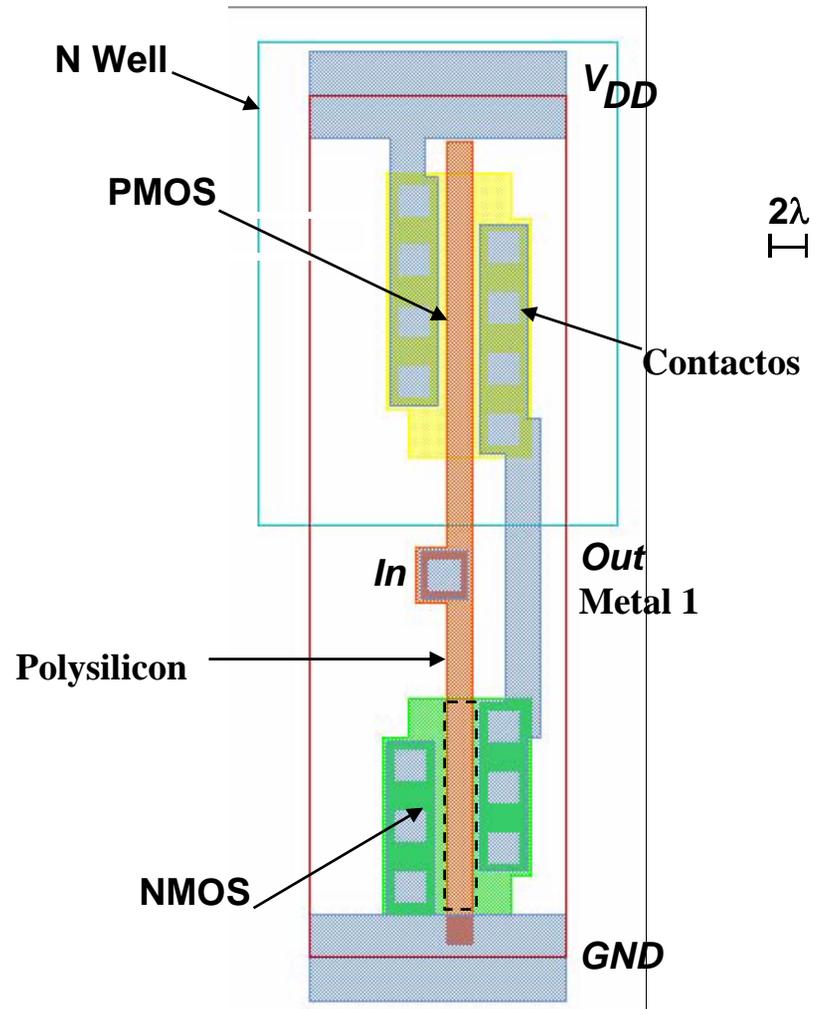
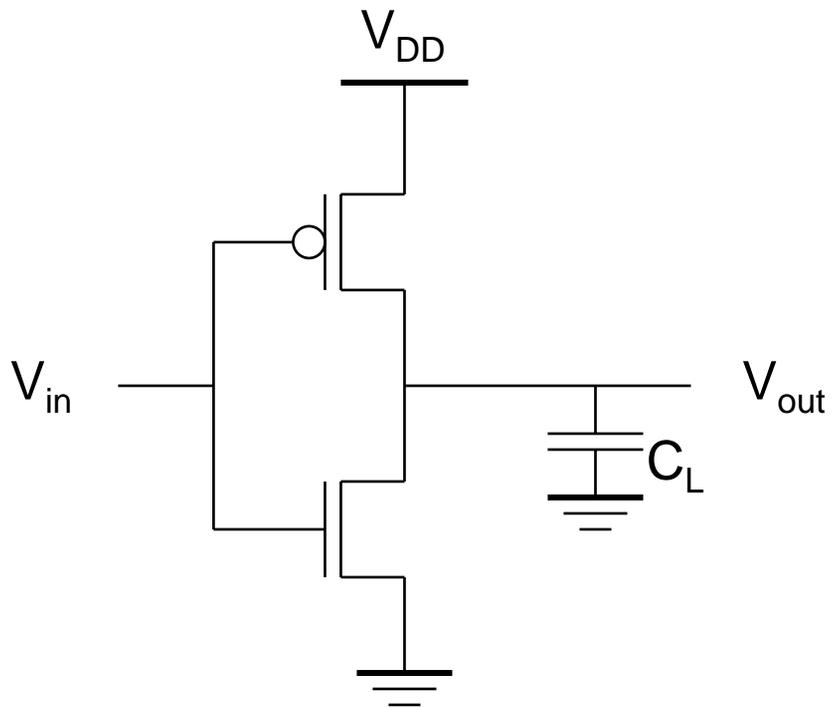
- **Resistências e capacidades parasitas**

 - resistências associadas aos contactos da source e drain

- **Latch-up**

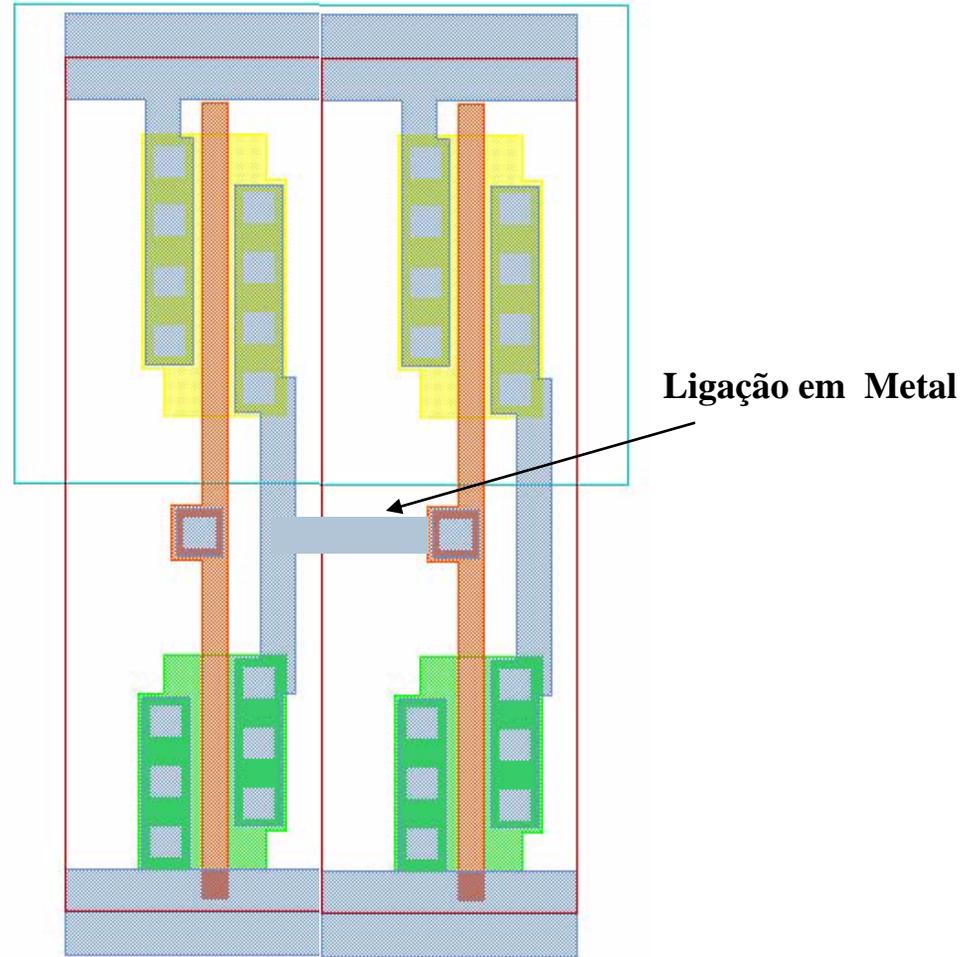
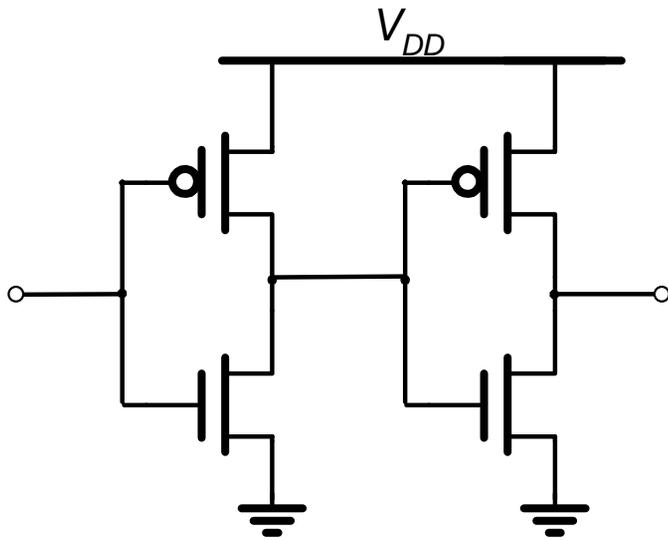


Inversor CMOS

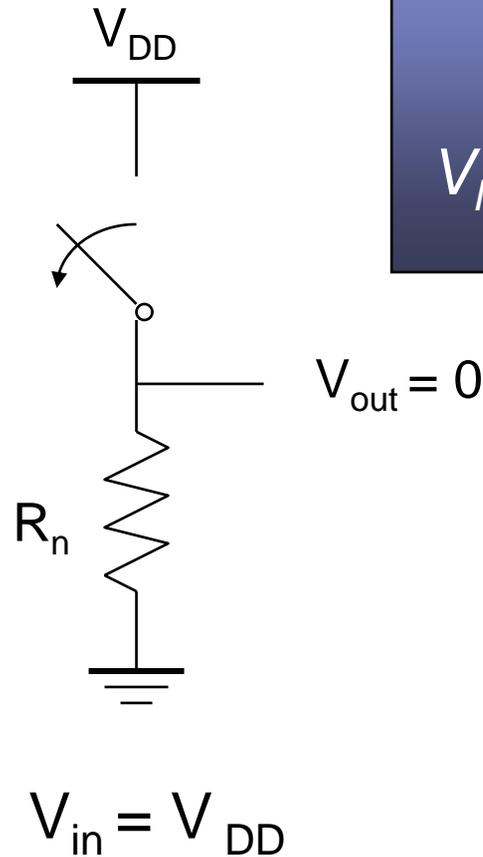
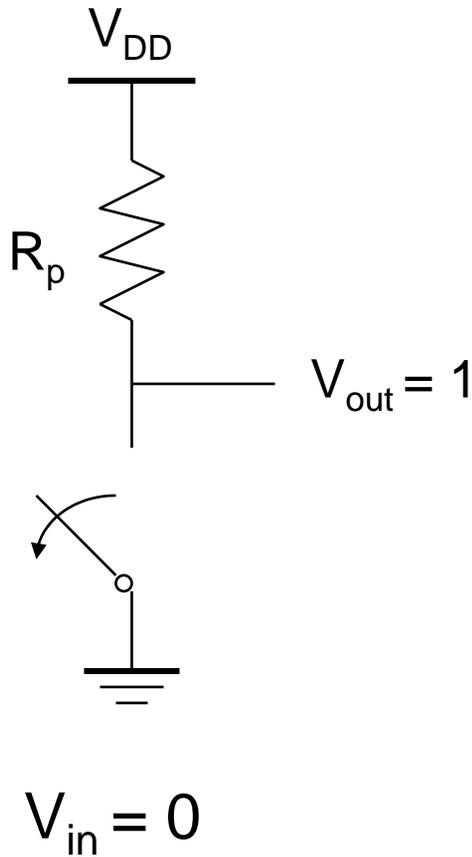


Inversor CMOS em cascata

Partilham alimentação
e GND



Inversor CMOS: Resposta em repouso



$$\begin{aligned} V_{OL} &= 0 \\ V_{OH} &= V_{DD} \\ V_M &= f(R_n, R_p) \end{aligned}$$

Resposta DC

- Resposta DC: V_{out} vs. V_{in} para uma porta

- Ex: Inversor

- Quando $V_{in} = 0 \quad \rightarrow \quad V_{out} = V_{DD}$

- Quando $V_{in} = V_{DD} \quad \rightarrow \quad V_{out} = 0$

- Entretanto, V_{out} depende das

- dimensões do transístor e da corrente

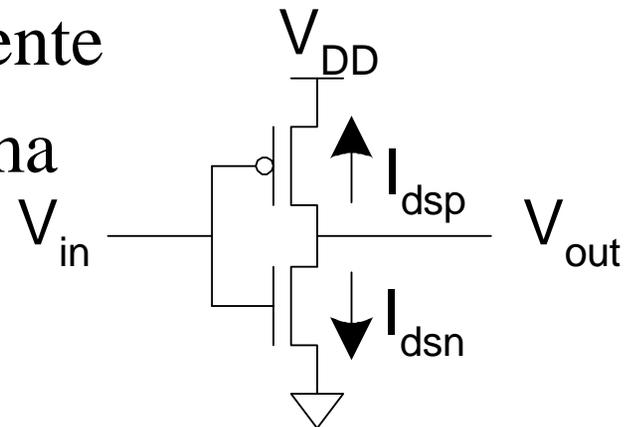
- Por KCL, deve estabilizar de forma

$$I_{dsn} = |I_{dsp}|$$

- É possível resolver equações

- Mas soluções gráficas permitem

- uma análise mais rápida



Propriedades CMOS

- Funcionamento rail-to-rail \Rightarrow maior margem para ruído
 - Níveis lógicos não dependem das dimensões dos dispositivos \Rightarrow transístores podem ter dimensão mínima
- Existe sempre caminho para V_{dd} ou GND em repouso \Rightarrow baixa impedância de saída (na gama dos $k\Omega$) \Rightarrow elevada capacidade de fan-out (apesar de degradar a performance)
- Elevada impedância de entrada (gate do transístor MOS está próxima de um isolador perfeito) \Rightarrow praticamente zero corrente de entrada
- Não existe percurso directo entre potência e massa \Rightarrow não existe consumo de energia estático
- Atraso de propagação é função das capacidades de carga e da resistência dos transístores

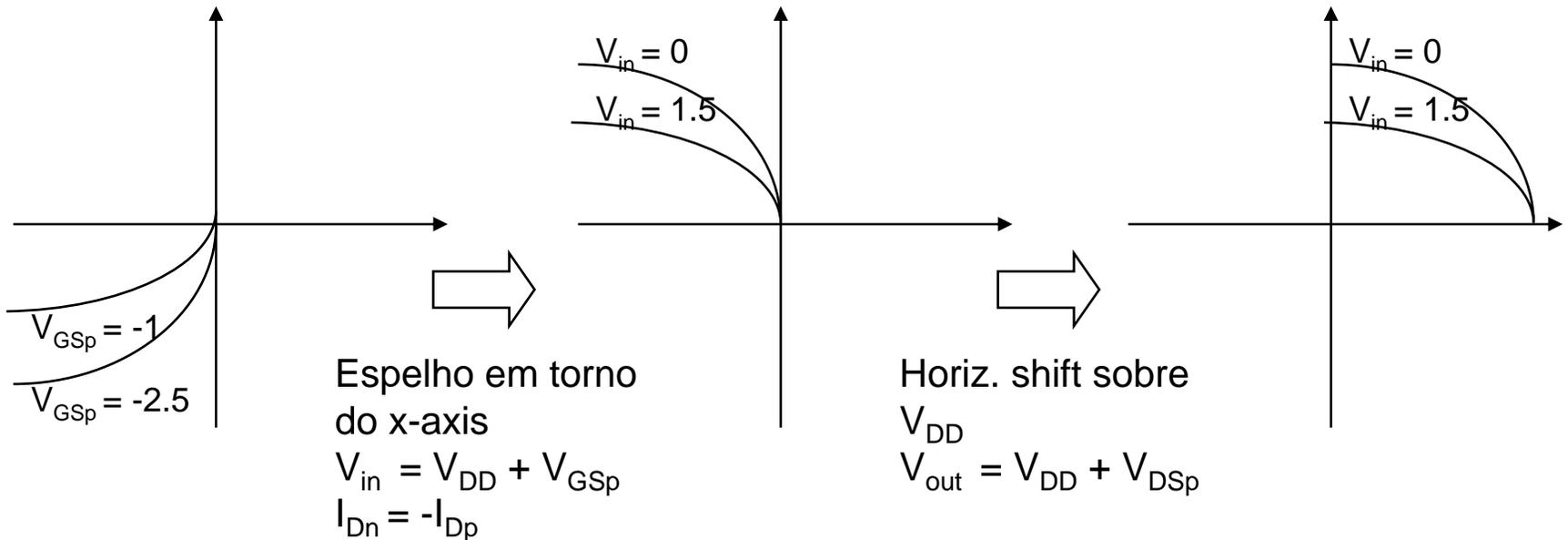
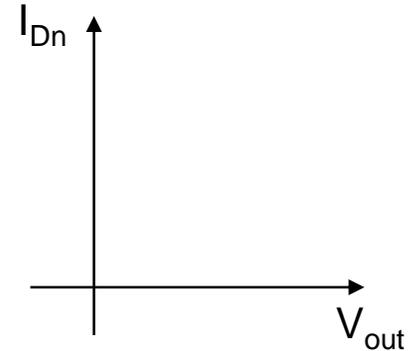
Transformando a característica I-V PMOS

- Pretende-se conjunto de coordenadas comuns V_{in} , V_{out} , e I_{Dn}

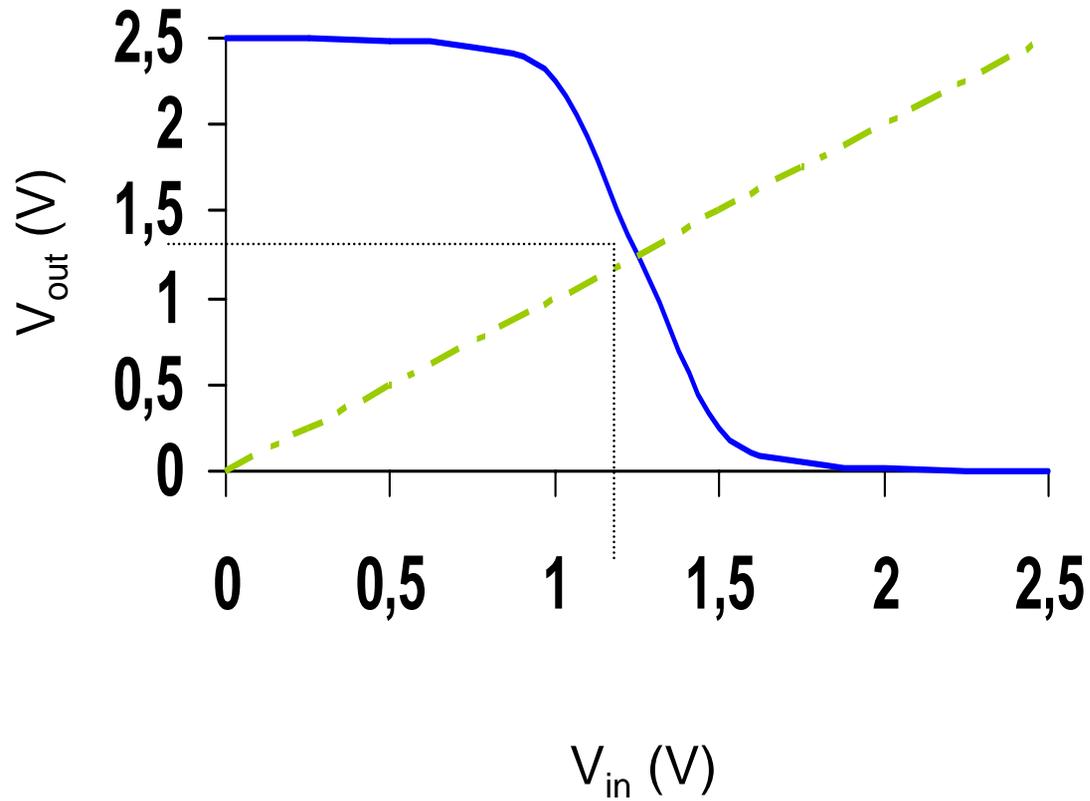
$$I_{DSp} = -I_{DSn}$$

$$V_{GSn} = V_{in} ; V_{GSp} = V_{in} - V_{DD}$$

$$V_{DSn} = V_{out} ; V_{DSp} = V_{out} - V_{DD}$$



VTC do Inversor CMOS



Dimensionamento relativo do transístor

- Quando se desenham circuitos CMOS estáticos, é necessário equilibrar a capacidade de controlo dos transístores tornando a secção PMOS mais larga do que a secção NMOS para:
 - Maximizar as margens para ruído
 - Obter características simétricas

Limiar de comutação

- V_M onde $V_{in} = V_{out}$ (ambos PMOS e NMOS na saturação dado que $V_{DS} = V_{GS}$)

$$V_M \approx rV_{DD}/(1 + r) \text{ onde } r = k_p V_{DSATp}/k_n V_{DSATn}$$

- O limiar de comutação é definido por r , que compara a **capacidade de drive relativa** dos transístores NMOS e PMOS
- **Pretende-se** $V_M = V_{DD}/2$ (para se obter margens para ruído alto e baixo comparáveis), assim deseja-se $r \approx 1$

$$(W/L)_p \quad k_n' V_{DSATn} (V_M - V_{Tn} - V_{DSATn}/2)$$

$$(W/L)_n \quad k_p' V_{DSATp} (V_{DD} - V_M + V_{Tp} + V_{DSATp}/2)$$

$$\text{-----} = \text{-----}$$

Exemplo de limiar de comutação

- Num processo genérico 0.25 CMOS micron, utilizando os parâmetros do processo, $V_{DD} = 2.5V$ e um dispositivo NMOS com dimensões mínimas ($(W/L)_n$ de 1.5)

	$V_{T0}(V)$	$\gamma(V^{0.5})$	$V_{DSAT}(V)$	$k'(A/V^2)$	$\lambda(V^{-1})$
NMOS	0.43	0.4	0.63	115×10^{-6}	0.06
PMOS	-0.4	-0.4	-1	-30×10^{-6}	-0.1

$$\frac{(W/L)_p}{(W/L)_n} =$$

Exemplo de limiar de comutação

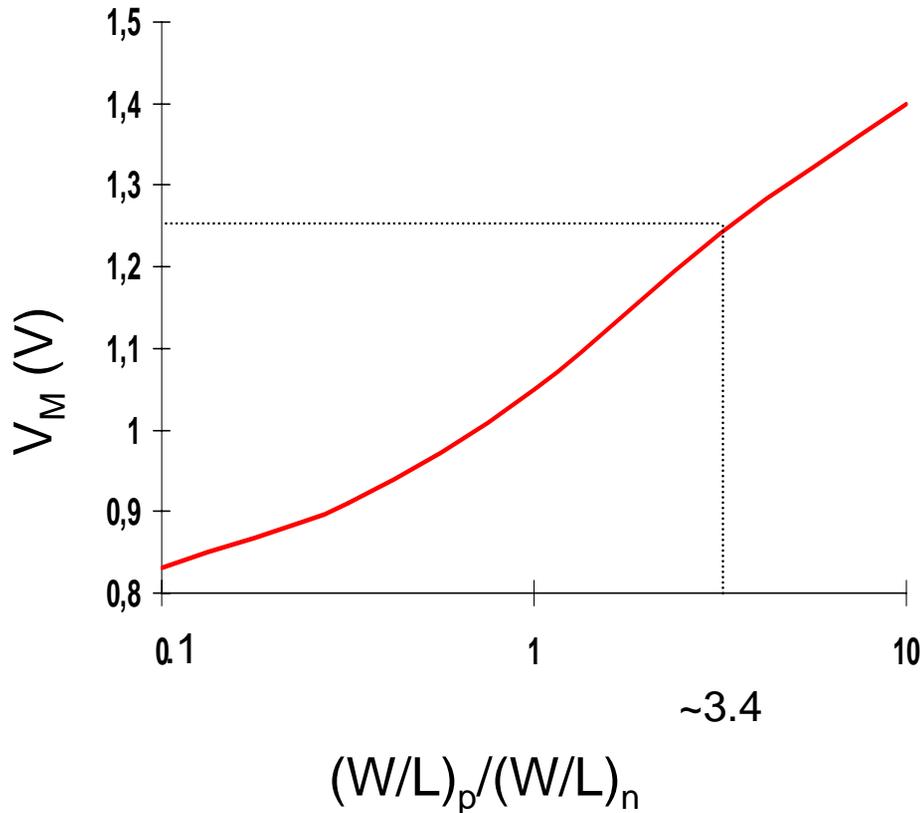
- Num processo genérico 0.25 CMOS micron, utilizando os parâmetros do processo, $V_{DD} = 2.5V$ e um dispositivo NMOS com dimensões mínimas ($(W/L)_n$ de 1.5)

	$V_{T0}(V)$	$\gamma(V^{0.5})$	$V_{DSAT}(V)$	$k'(A/V^2)$	$\lambda(V^{-1})$
NMOS	0.43	0.4	0.63	115×10^{-6}	0.06
PMOS	-0.4	-0.4	-1	-30×10^{-6}	-0.1

$$\frac{(W/L)_p}{(W/L)_n} = \frac{115 \times 10^{-6}}{-30 \times 10^{-6}} \times \frac{0.63}{-1.0} \times \frac{(1.25 - 0.43 - 0.63/2)}{(1.25 - 0.4 - 1.0/2)} = 3.5$$

$$(W/L)_p = 3.5 \times 1.5 = 5.25 \text{ para um } V_M \text{ de } 1.25V$$

V_M do inversor



Nota: x-axis é semilog

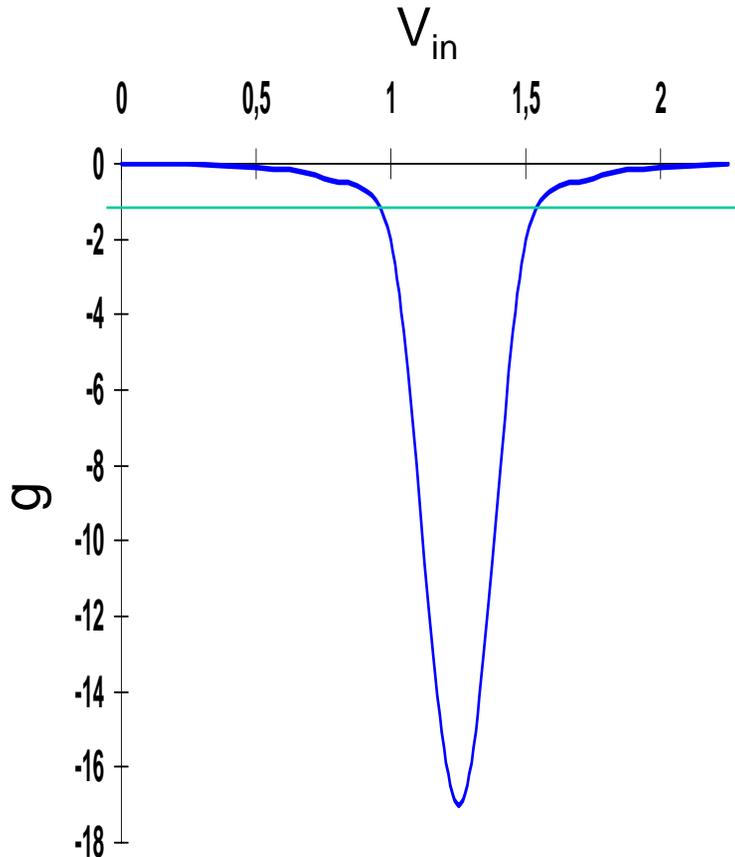
□ V_M é relativamente insensível a variações na relação dos transístores

● variando a relação para 3, 2.5 e 2 dá V_M 's de 1.22V, 1.18V, e 1.13V

□ Aumentando a largura do PMOS move V_M para V_{DD}

□ Aumentando a largura do NMOS move V_M para GND

Determinação do Ganho

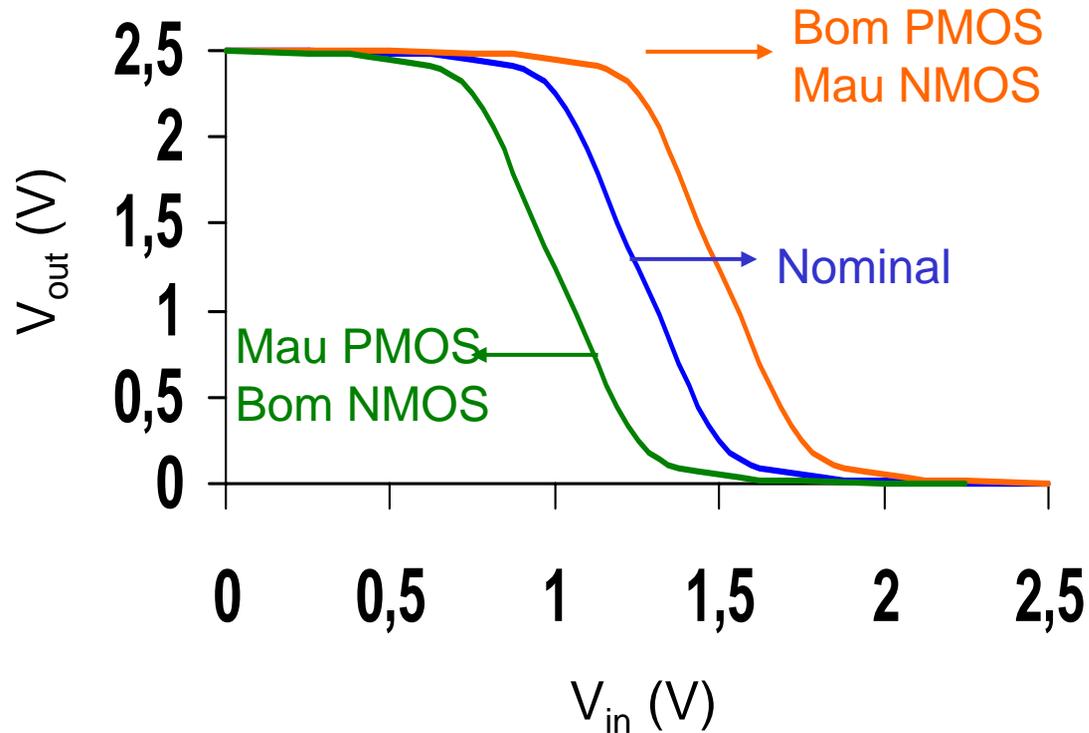


Ganho é um função do declive das correntes na saturação e para $V_{in} = V_M$

$$g \approx \frac{(1+r)}{(V_M - V_{Tn} - V_{DSATn}/2)(\lambda_n - \lambda_p)}$$

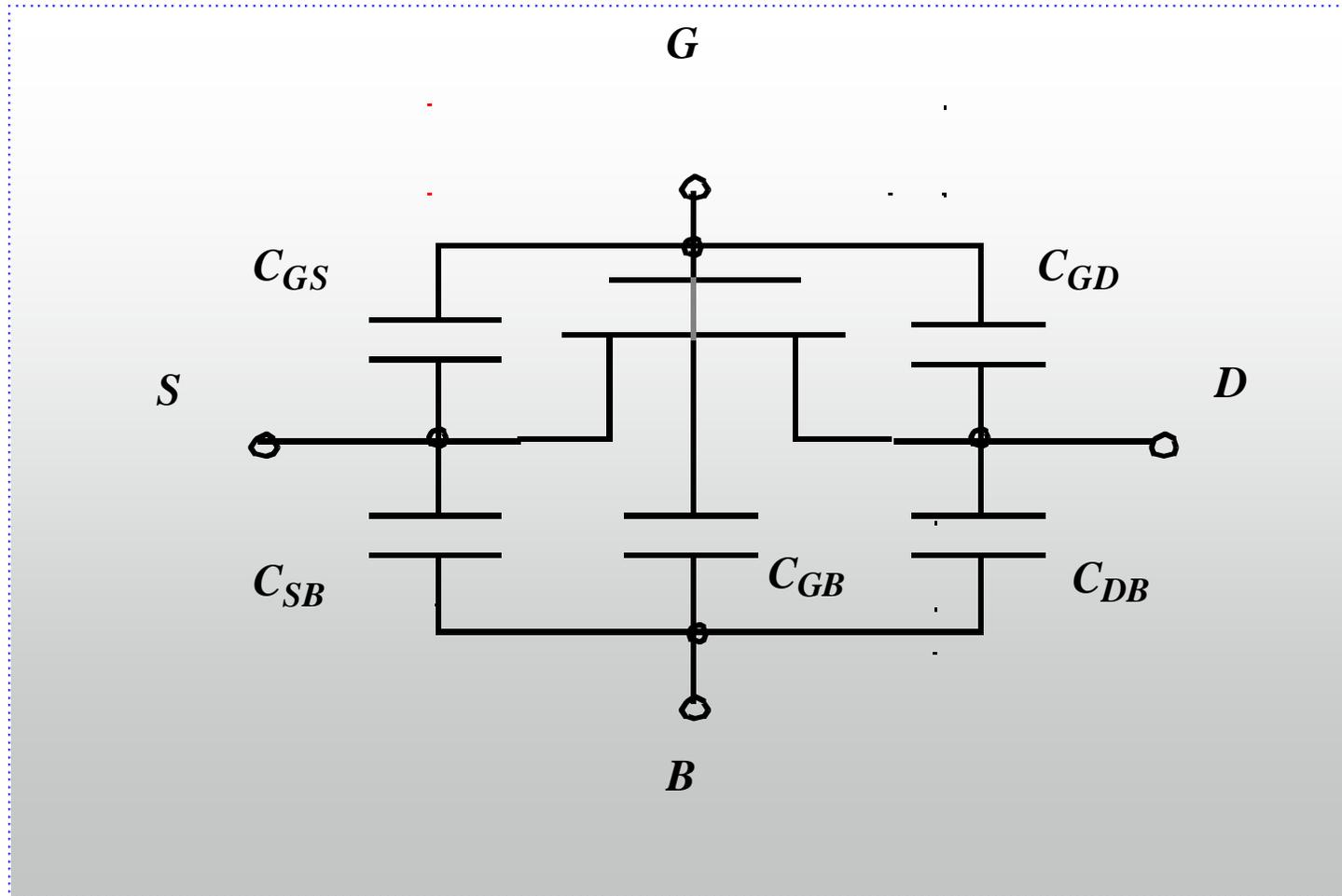
Determinado por parâmetros de tecnologia, especialmente por (λ) . O designer de circuitos só o pode influenciar através da **tensão de alimentação** e por V_M (**dimensão dos transístores**).

Impacto de variações no fabrico na curva VTC

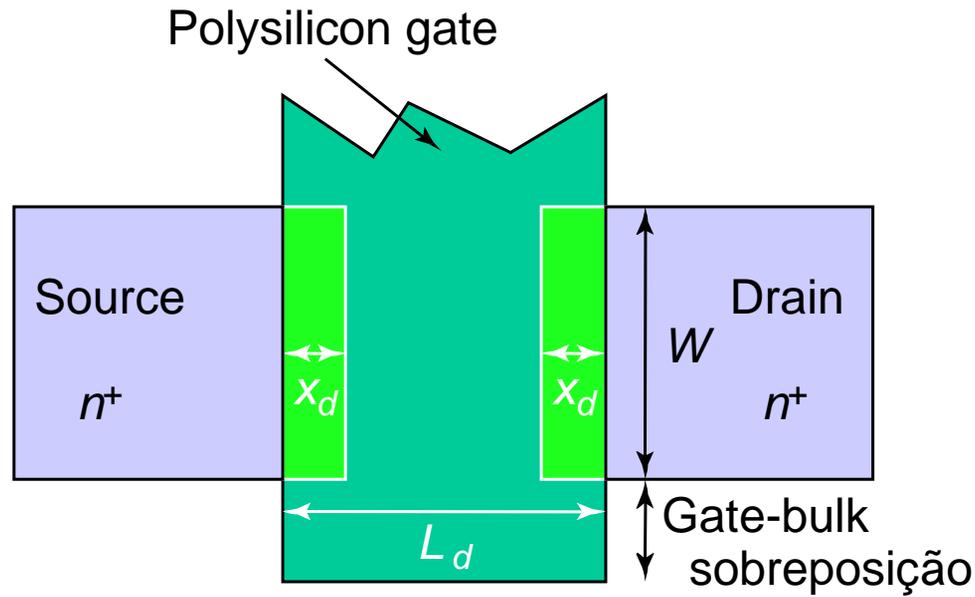


Variações no processo de fabrico causam (na maioria) um desvio no limiar de comutação

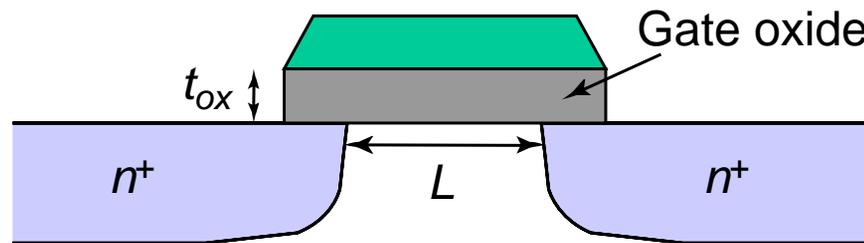
Comportamento dinâmico do transistor MOS



Capacidade da gate



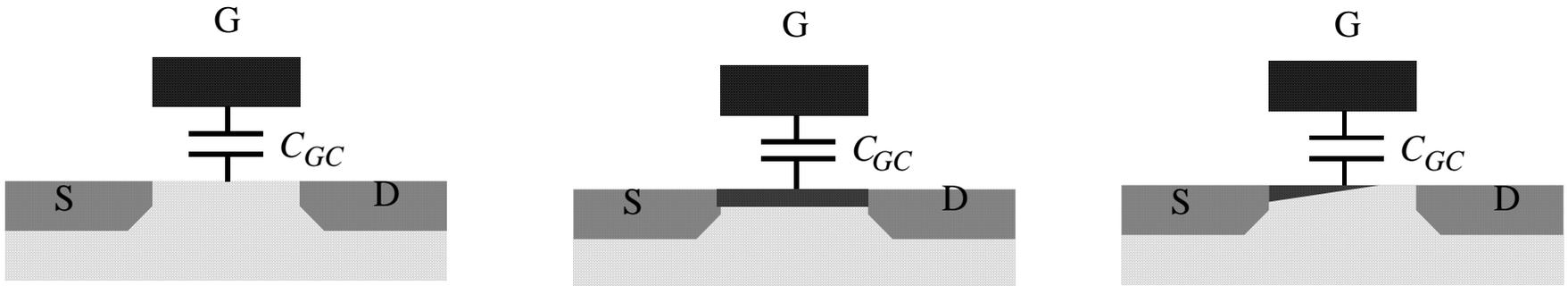
Top view



Cross section

$$C_{gate} = \frac{\epsilon_{ox}}{t_{ox}} WL$$

Capacidade da gate

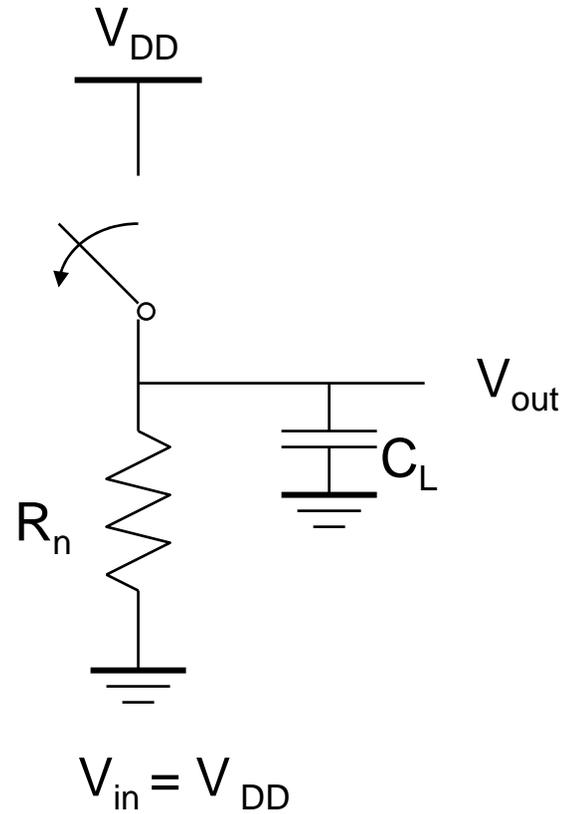
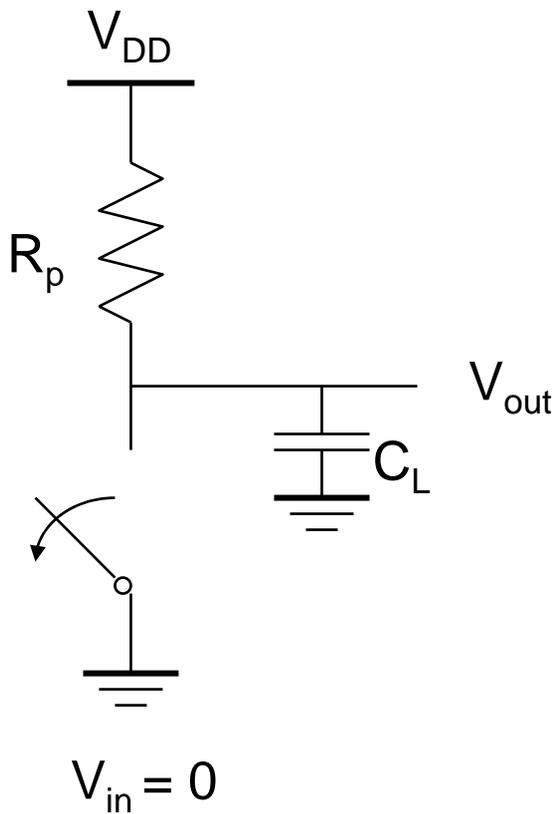


Operation Region	C_{gb}	C_{gs}	C_{gd}
Cutoff	$C_{ox}WL_{eff}$	0	0
Triode	0	$C_{ox}WL_{eff}/2$	$C_{ox}WL_{eff}/2$
Saturation	0	$(2/3)C_{ox}WL_{eff}$	0

Regiões mais importantes em desenho digital: saturação e corte

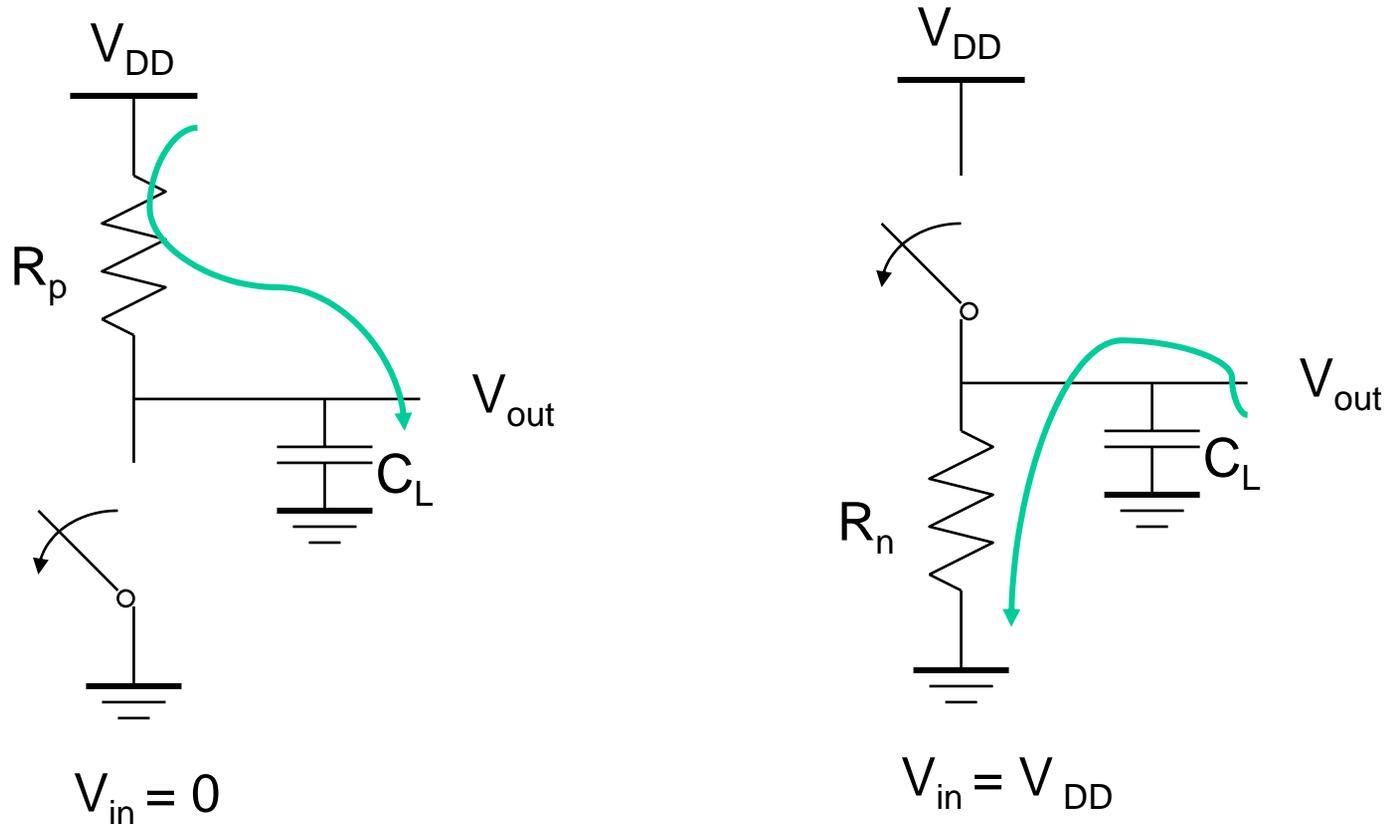
Inversor CMOS:

Modelo de comutação para resposta dinâmica



Inversor CMOS:

Modelo de comutação para resposta dinâmica



- O tempo de resposta da gate é determinado pelo tempo que demora a carregar C_L através de R_p (descarregar C_L através de R_n)

Exercício

- 1) Se a largura do transistor aumentar, a corrente:
aumenta diminui não muda
- 2) Se o comprimento do transistor aumentar, a corrente:
aumenta diminui não muda
- 3) Se a tensão de alimentação aumentar, a corrente máxima do transistor:
aumenta diminui não muda
- 4) Se a largura do transistor aumentar, a capacidade da gate:
aumenta diminui não muda
- 5) Se o comprimento do transistor aumentar, a capacidade da gate:
aumenta diminui não muda
- 6) Se a tensão de alimentação aumentar, a capacidade da gate:
aumenta diminui não muda

Exercício

- 1) Se a largura do transistor aumentar, a corrente:
aumenta diminui não muda
- 2) Se o comprimento do transistor aumentar, a corrente:
aumenta diminui não muda
- 3) Se a tensão de alimentação aumentar, a corrente máxima do transistor:
aumenta diminui não muda
- 4) Se a largura do transistor aumentar, a capacidade da gate:
aumenta diminui não muda
- 5) Se o comprimento do transistor aumentar, a capacidade da gate:
aumenta diminui não muda
- 6) Se a tensão de alimentação aumentar, a capacidade da gate:
aumenta diminui não muda