

## Manual de Tecnologia CMOS

(Texto de apoio às aulas teóricas e manual de consulta nas aulas práticas)

### Características e descrição do processo

A tecnologia usada é CMOS 2.0  $\mu\text{m}$  *n-well*, 1 camada de *Poly*, 2 camadas de metal. Nesta tecnologia podem ser construídos circuitos analógicos, digitais e híbridos e os transístores têm os seguintes parâmetros:

	NMOS	PMOS	Unidades
Comprimento mínimo da <i>gate</i>	2.0	2.0	$\mu\text{m}$
Espessura do óxido da <i>gate</i>	25	25	nm
Tensão de <i>threshold</i>	0.75	-1.10	V
Mínimo <i>pitch</i> para os metais	4.8	4.8	$\mu\text{m}$
Mínimo <i>pitch</i> para a poly	4.0	4.0	$\mu\text{m}$
Tensão de alimentação nominal	5	5	V
$I_{ds}$ , correntes de saturação para $V_{ds}=5\text{V}$ , $V_{gs}=5\text{V}$	4.75	1.90	mA

Os parâmetros eléctricos dos transístores usados, NMOS e PMOS, estão especificados no ficheiro tech20.md, na directoria projectos do seu computador pessoal, para permitir a simulação dos circuitos.

As características dos componentes passivos são as seguintes:

- Condensadores de precisão e altamente lineares (*metall1-poly*, *metall1-metal2*, *metall2-poly-metal1*)
- Resistências de precisão (*poly*, *Active-SN*, *Active-SP*, *metall1*, *metall2*)

O *wafers* pode ser dopado com átomos dadores e átomos receptores. Esta dopagem é feita com Fósforo (tipo n) e Boro (tipo p), respectivamente.

Quando se usa um *wafers* tipo p, o NMOS é fabricado directamente no substrato tipo p, enquanto que os transístores de canal p, PMOS, são fabricados dentro do poço *n-well*.

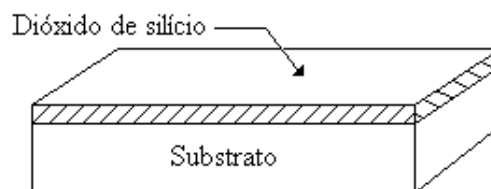
O *L-Edit* permite ver todas as *layers* simultaneamente, na sequência litográfica cada *layer* é aplicada separadamente. Para realizar este processo é criada uma máscara para cada *layer*; a máscara é um lâmina de vidro, no qual é duplicado cada padrão numa das faces com uma camada fina de crómio. A máscara é transparente à luz, excepto nas regiões onde o crómio (regiões negras) não deixa passar a luz.

Pode ver na Fig.1 uma sequência litográfica típica, onde a região dopada é realizada no substrato de silício. O ponto de partida é mostrado na Fig.1 (a), onde apenas é acrescentada uma camada de óxido na superfície do silício. Depois, o *wafer* é impregnado num disco giratório (*spin coating*) com *photoresist*, espalhando-se por todo o *wafer*, seguidamente submetido a uma secagem rápida no forno de forma a produzir uma superfície dura, como se vê na Fig.1 (b). O *photoresist* é um polímero orgânico sensível à luz, com propriedades similares a um qualquer filme fotográfico. A imagem na máscara é projectada opticamente na superfície do *photoresist* durante a exposição aos raios ultravioletas, como mostra a Fig.1 (c). Em seguida, com um composto químico apropriado remove-se a área da camada de *photoresist* que não foi exposta à luz (neste caso usou-se *photoresist* negativo e os raios ultravioletas compactaram o polímero), como se pode ver na Fig.1 (d), pois para *photoresist* positivo os raios ultravioletas corroíam o polímero.

O desenho da camada *photoresist* é usado como máscara para fazer o *etching* da camada de material. No exemplo, a camada de dióxido de silício é removida usando um processo a seco *RIE* (*reactive-ion etching*). Finalmente a camada de *photoresist* é retirada. Isto pode ver-se no desenho da Fig.1 (e)

O modelo do dióxido de silício é agora usado como máscara para fazer a dopagem das zonas que ficaram tipo n. Na Fig.1 (f), a superfície do *wafer* é exposta na máquina de dopagem. As áreas do silício expostas são dopadas. O resultado desta dopagem pode ser visto na Fig.1 (g).

(a) Substrato inicial



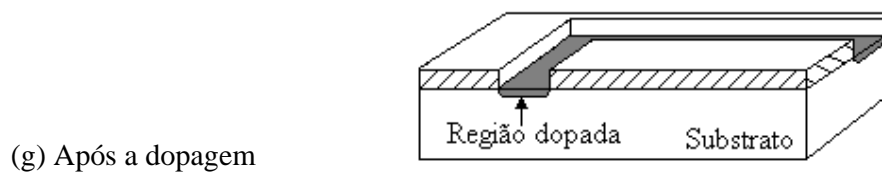
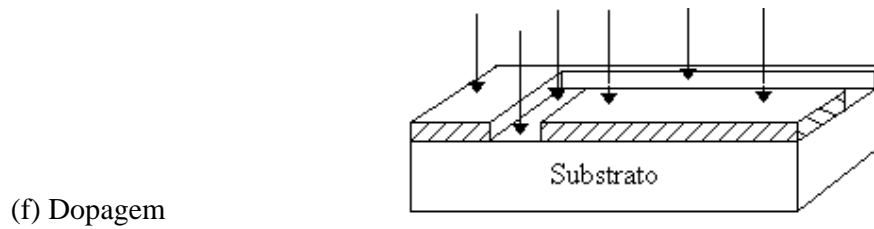
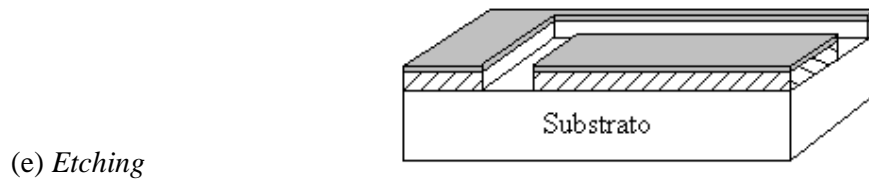
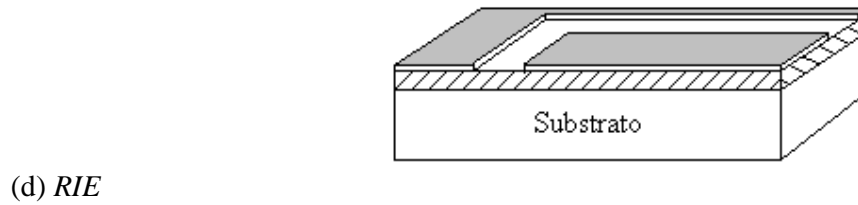
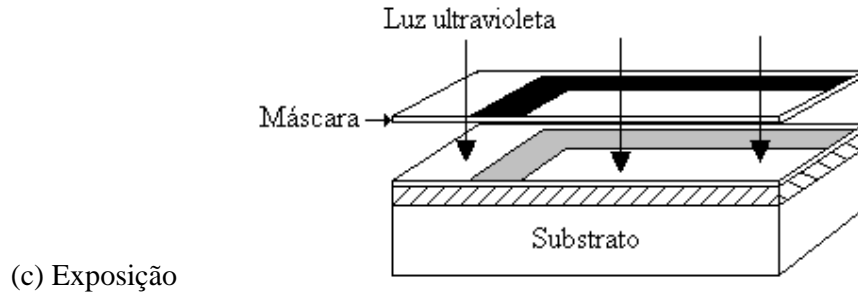
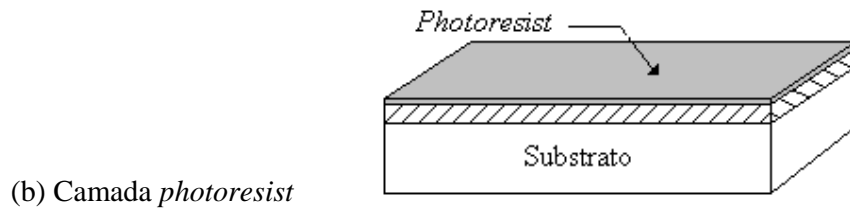


Fig.1- Sequência litográfica do processo CMOS.

As limitações deste processo, tais como a resolução mínima e o espaço mínimo, são definidos por um conjunto de regras de desenho para o *layout* físico.

Os terminais do MOSFET são a *gate*, o *drain* e a *source*. Como mostra a Fig.2, a ligação do substrato do tipo-p origina o *bulk electrode*. O *bulk* é ligado à tensão mais baixa do circuito para o caso do MOSFET do tipo n, normalmente ao GND (terra).

Para realizar a construção do *layout* de um MOSFET do tipo-n é necessário utilizar os elementos: *p-substrato*, *n+* do *drain* e *source*, *dióxido de silício*, *poly (gate)*, *óxido* e *metall*. Em geral as camadas de óxido são implícitas no desenho, assim como o substrato. A função do *contact* é gerar uma máscara para eliminar o óxido em certas zonas, com o objectivo de permitir que o metal fique electricamente ligado à camada *n+*.

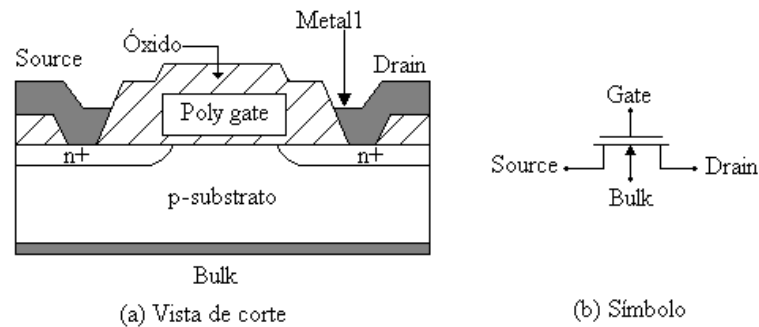


Fig.2 – MOSFET tipo n.

A construção de todas as camadas é realizada de forma como foi apresentada atrás a dopagem de zonas tipo n.

Os parâmetros básicos de geometria de um MOSFET são o comprimento de canal **L** e a largura do canal **W**. Estes parâmetros pode ser vistos de uma forma mais explícita se for vista de cima, Fig.3.

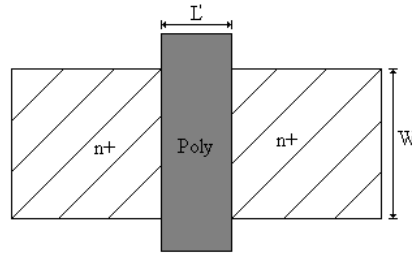


Fig.3 - Vista de cima de um NMOS.

De referir que o comprimento do canal do MOSFET ( $L$ ) é um pouco maior do que o comprimento de canal desenhado ( $L'$ ), devido aos efeitos laterais de dopagem. Estes valores são calculados automaticamente, bastando definir o  $L$  efectivo, ou seja, a distância entre as regiões dopadas com  $n+$ .

Um PMOS tem a mesma estrutura geométrica que um NMOS, mas com as polaridades invertidas, isto é, as polaridades  $p+$  são mudadas para  $n+$  e vice-versa.

Como o substrato é do tipo  $p$  é necessário criar uma zona tipo  $n$  para usar como *bulk* do canal do PMOS. Como está demonstrado na Fig.4.

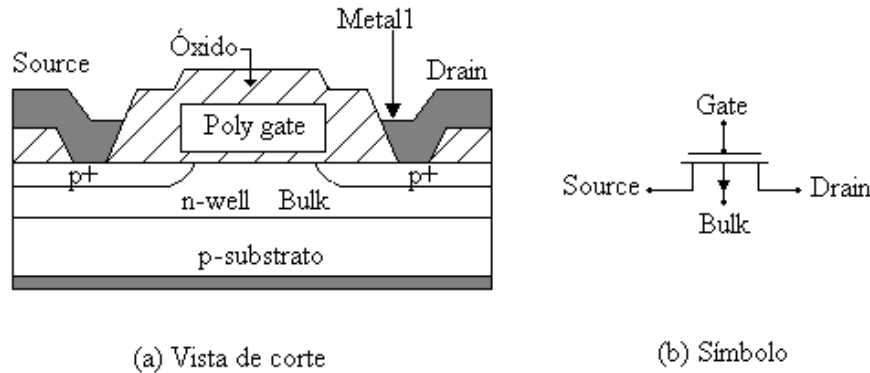


Fig.4 - MOSFET tipo p.

Como se pode ver na vista do *layout* a camada *n-well* tem de ser desenhada, Fig.5. A sua construção compreende os elementos: *p\_substrato*, *n-well*, *p+ do drain e source*, *óxido da gate*, *polisilício*, *óxido e metal*.

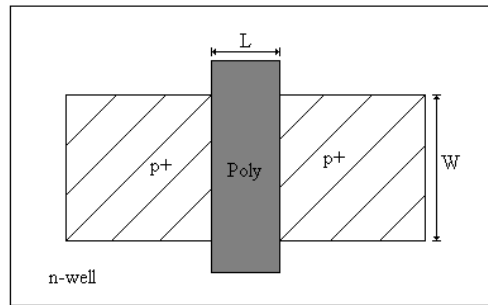


Fig.5 - Vista de cima de um PMOS.

As máscaras que são requeridas no desenho de *layout* são a *n\_well*, as zonas p+, o polisilício e o metal1. As máscaras de polisilício e metal1 são comuns no dois tipos de MOSFETs, tipo p e tipo n, e serão usadas para fazer as ligações quando estes forem integrados nos circuitos a desenhar em *layout*.

Tal como no NMOS, o PMOS apresenta como parâmetros geométricos o comprimento de canal L e a largura de canal W, onde a corrente é proporcional ao seu ratio (W/L).

Partindo destes conhecimentos, pode dizer-se que são a base para poder construir os dois tipos de MOSFETs, tipo p e tipo n, no mesmo substrato, tornando assim possível construir circuitos mais complexos. Como demonstração é apresentada a construção de um inversor, componente que é composto por um PMOS e um NMOS, como pode ver-se na Fig.6.

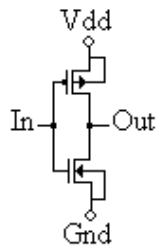
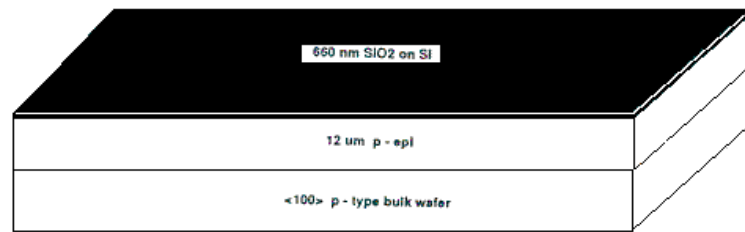


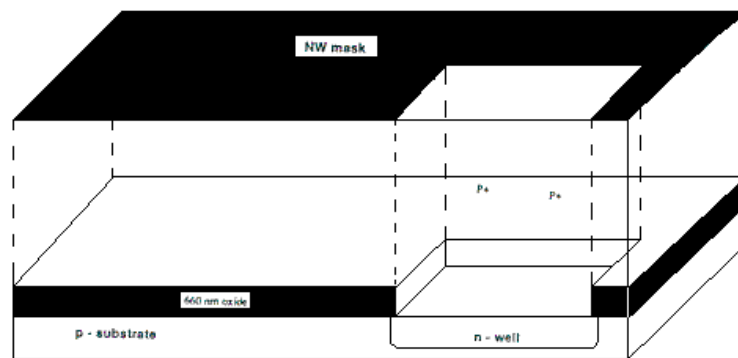
Fig.6 - Esquema eléctrico de um inversor.

Como já foi referido atrás, utiliza-se como ponto de partida um *wafer* do tipo p como substrato..

A camada *Epi* é usada como camada base para a construção dos dispositivos. Esta camada será omitida nas figuras seguintes. Na Fig.7 pode ver-se o passo referido (a), assim como o próximo passo, a máscara para criar a zona da *n-well* (b).



(a) Substrato e a camada de dióxido de silício



(b) Máscara n-well

Fig.7 - Primeiros passos na construção e a primeira máscara, a *n-well*.

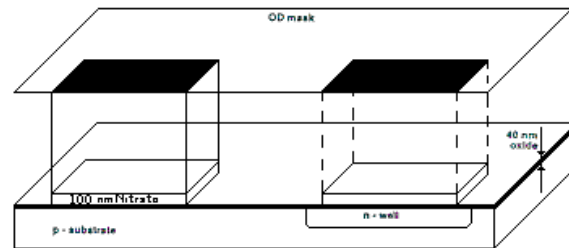
Electricamente a zona da *n-well* deve ser mantida na zona de maior tensão do circuito, para garantir o funcionamento adequado. Normalmente é ligada à tensão de alimentação, ao Vdd.

Como a densidade de dispositivos pode ser muito elevada, é imperativo ter em atenção o problema do isolamento eléctrico de cada um deles. É neste passo do fabrico que é definida a localização de todos os transístores. O isolamento é realizado pela próxima colocação de óxido de silício.

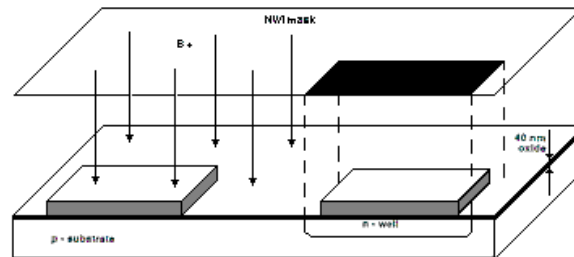
A área total do *chip* é dividida em duas grandes partes, a área activa, onde são colocados os MOSFETs, e as regiões de campo em volta da área activa, que é onde

passam as linhas de ligação dos MOSFETs, como o polisilício e os metais. As áreas activas são feitas com a máscara *active* (OD) usando nitrato de silício, que é depositado numa camada fina de óxido de silício conhecida como óxido libertador de *stress* e é usado como *buffer* mecânico entre o nitrato e o silício, como se vê na Fig.8 (a).

Antes de ser acrescentado o óxido LOCOS (*Local Oxidation of silicon*) é feita uma deposição com p+ (máscara NWI), com o objectivo de aumentar a tensão de *threshold* da região de campo, para que a tensão aplicada a uma linha de ligação não crie canais de condução indesejáveis. A máscara usada é apresentada na Fig.8 (b).



(a) Máscara OD

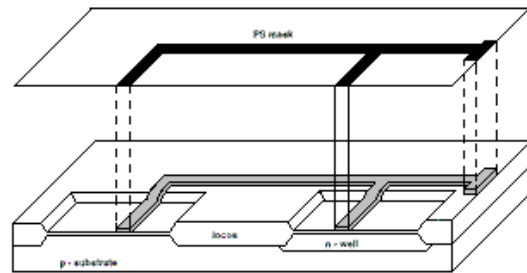


(b) Máscara NWI

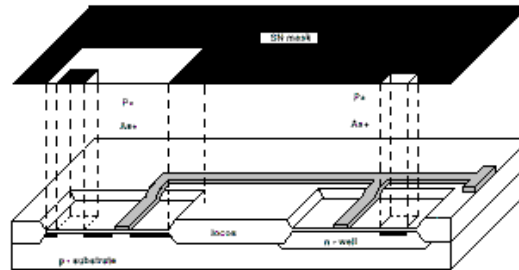
Fig.8- Terceira e Quarta máscaras

Após a criação da LOCOS é removido o nitrato de silício e o *wafer* está agora em condições de ser depositado um óxido para receber por cima o polisilício, que formará as *gates* dos MOSFETs. A camada de óxido da *gate* não é aqui mostrada, mas pode ver-se a máscara da poly na Fig.9 (a).





(a) Máscara da poli



(b) Máscara SN

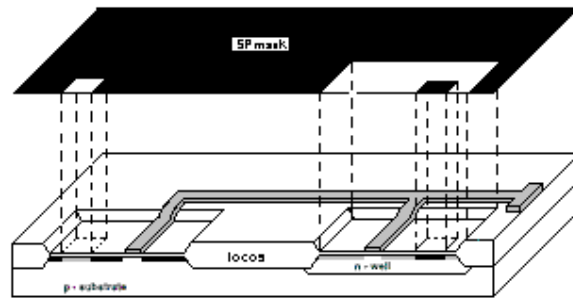
Fig.9 - Quinta e Sexta máscaras

Para criar o NMOS utiliza-se a máscara SN, que se pode ver na Fig.9 (b), onde é feita uma dopagem com dadores (como o Fósforo) para dopar as regiões da *drain* e da *source*. Na prática, esta camada não necessita de ser desenhada, pois é o inverso da camada SP, bastando para isso desenhar a camada SP.

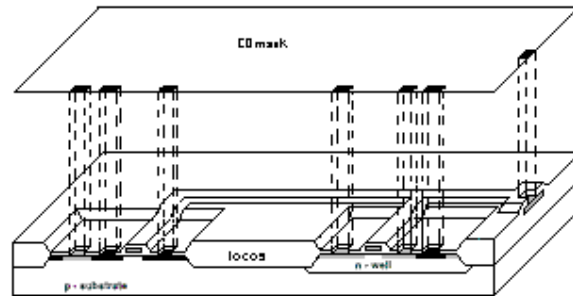
No caso contrário ao anterior, a criação de um PMOS, utiliza-se a máscara SP. Com esta é aplicada uma dopagem com Boro na superfície do *wafer*, para criar nas zonas indicadas pela máscara a *drain* e a *source* dos PMOS, como é mostrado na Fig.10 (a).

Nesta fase o *wafer* está todo coberto com um óxido que foi formado através de uma reacção química e que não necessita de silício do *wafer*. É comum usar um LTO (*low-temperature oxide*) para realizar esta difusão e consequentemente as camadas de óxido que ficam por baixo das regiões dopadas não permite qualquer acto difusivo. Esta camada não foi demonstrada na sequência aqui apresentada .

Como o *wafer* está todo isolado é necessário criar passagem para que os terminais dos MOSFETs possam ser ligados ao exterior, assim aparece a máscara dos contactos (CO), como se pode ver na Fig.10 (b).



(a) Máscara SP



(b) Máscara CO

Fig.10- Sétima e oitava máscaras

Com a camada de óxido removida no sítio dos contactos faz-se a deposição do metal1, permitindo que o metal1-active e metal1-poly fiquem electricamente ligados. Resulta deste passo a Fig.11.

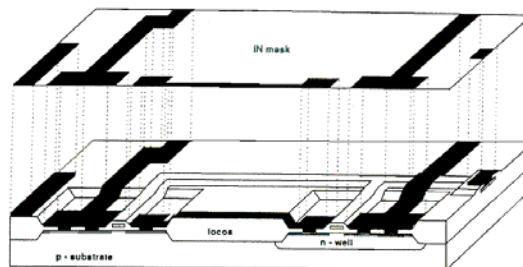


Fig.11 - Máscara do metal1 IN

Depois de depositado o metal1 é depositado um óxido de plasma, que serve para isolar. A referida camada não é apresentada nas figuras.

A máscara COS é aplicada para fazer *etching* nas zonas dos contactos onde se irá ligar o metal2 com o metal1 ou com a *poly*, como se pode verificar na Fig.12.

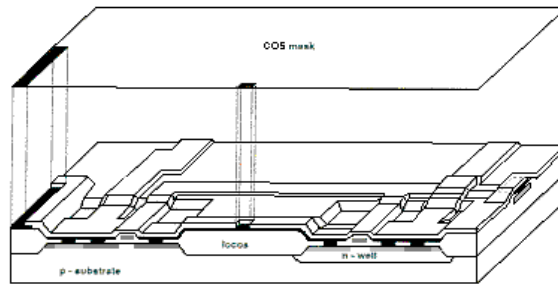


Fig.12 - Máscara Contacto 2 (COS).

Na mesma sequência, o metal2 é depositado quando a máscara que pode ser vista na Fig.13.

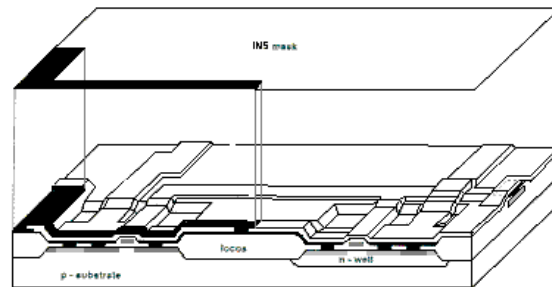


Fig.13 - Máscara do metal2.

O passo final é a deposição da camada de protecção sobre toda a superfície, o que implica outra máscara para deixar abertos os contactos para os *bonpads*, de forma a permitir o contacto com o exterior. A máscara chama-se *overlay* (CB), como se vê na Fig.14. Tipicamente esta camada de protecção consiste em aplicar dióxido de silício seguido por mais uma camada de nitrato de silício; o nitrato é usado porque constitui uma boa barreira contra impurezas e protecção anti-riscos.

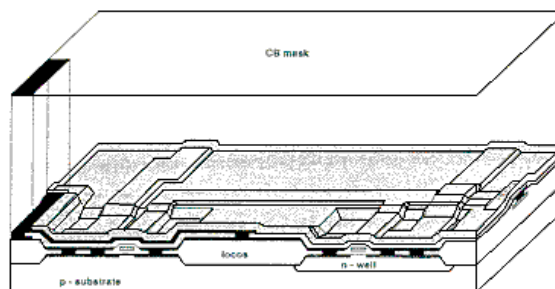
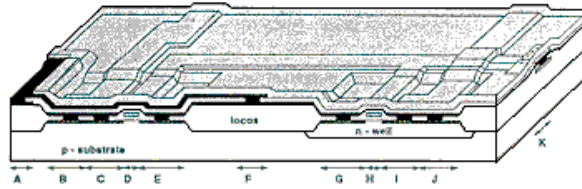


Fig.14 - Máscara CB

Os dispositivos realizados, no exemplo um inversor, ficam com o aspecto da Fig.15, onde se pode identificar os locais das ligações.



- |                            |                              |
|----------------------------|------------------------------|
| A- <i>BondPad</i> de Saída | G- <i>Drain</i> do PMOS      |
| B- Contacto do Substrato   | H- <i>Gate</i> do PMOS       |
| C- <i>Source</i> do NMOS   | I- <i>Source</i> do PMOS     |
| D- <i>Gate</i> do NMOS     | J- Contacto da <i>n-well</i> |
| E- <i>Drain</i> do NMOS    | K- Nó de entrada             |
| F- Nó de Saída             |                              |

Fig.15- Vista de corte de um Inversor completo.

A sequência descrita demonstra os passos básicos deste processo. A Fig. 16 mostra: o *layout* físico do inversor, em corte e o esquema eléctrico:

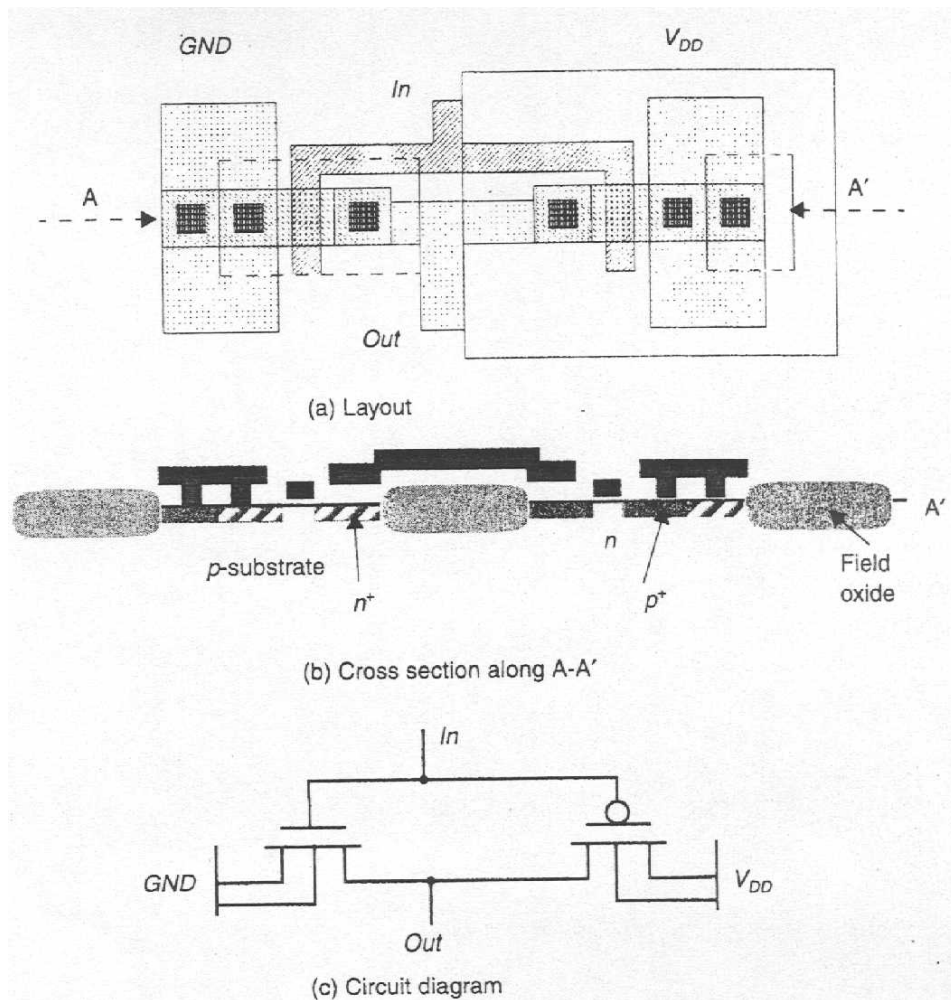


Fig. 16 – Inversor: *layout* físico, em corte e esquema eléctrico.

## Bibliografia

- John P.Uyemura, *Physical Design of CMOS Integrated Circuits Using L-EDIT*, PWS Publishing Company, 1996.
- R. Jacob Baker, Harry W. Li e David E.Boyce, *CMOS Circuit Design, Layout and Simulation*, IEEE Press, 1998. ISBN 0-7803-3416-7.
- Jacob Millman, Arvin Grabel, *Microelectrónica*, McGraw-Hill, 2ª edição, 1991
- Manual *Tanner Tools, Tanner L-Edit v8.22, 2001.*