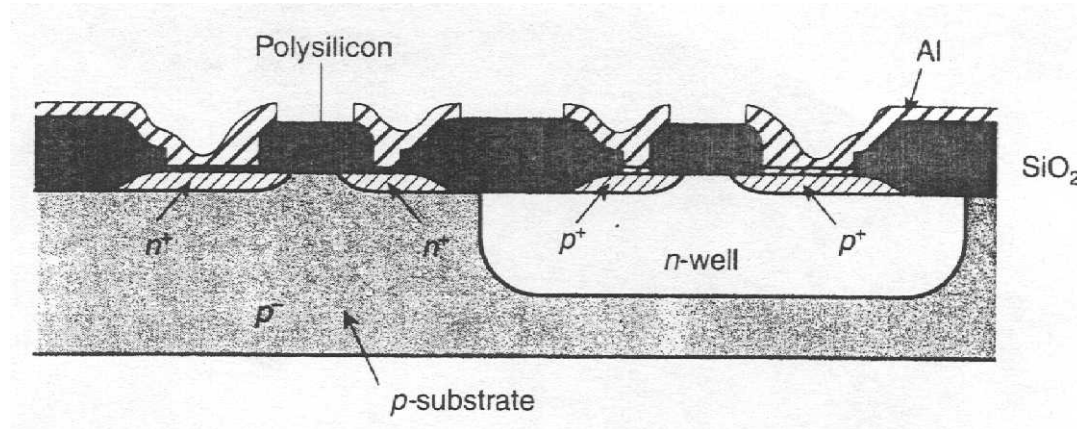


Microelectrónica

- **A tecnologia CMOS** (para um processo de fabrico em CMOS de 2 μm , n-well, 2 camadas de metal e uma camada de polisilício)
 - As regras de desenho de layout físico.
 - As características da tecnologia CMOS.
- **A tecnologia Bipolar**
 - Modelo de layout físico da junção pn
 - Modelo de layout físico do transistor bipolar.
- As vantagens e desvantagens da tecnologia CMOS em relação à tecnologia Bipolar.
- **A tecnologia BiCMOS.**

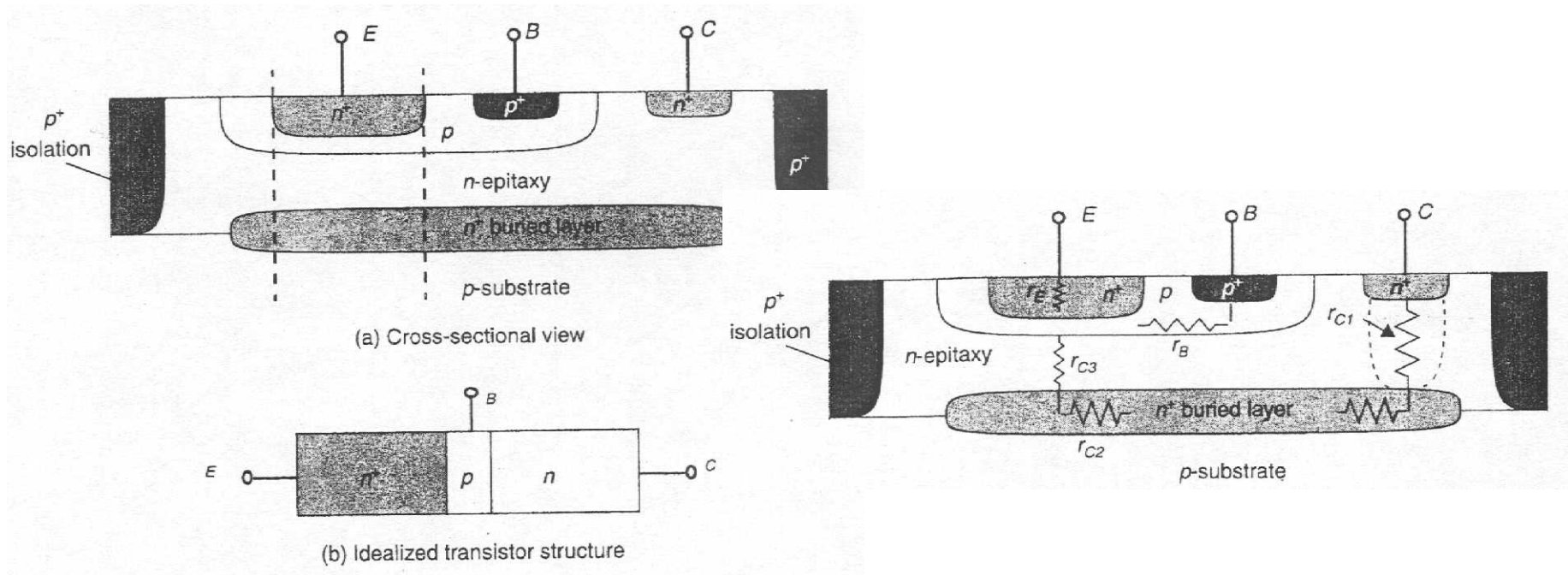
Ver Manual de Tecnologia CMOS

- Construção de um inversor em tecnologia CMOS e todos os parâmetros da tecnologia CMOS *n-well*, 2 μm , 1 *poly*, 2 metais.

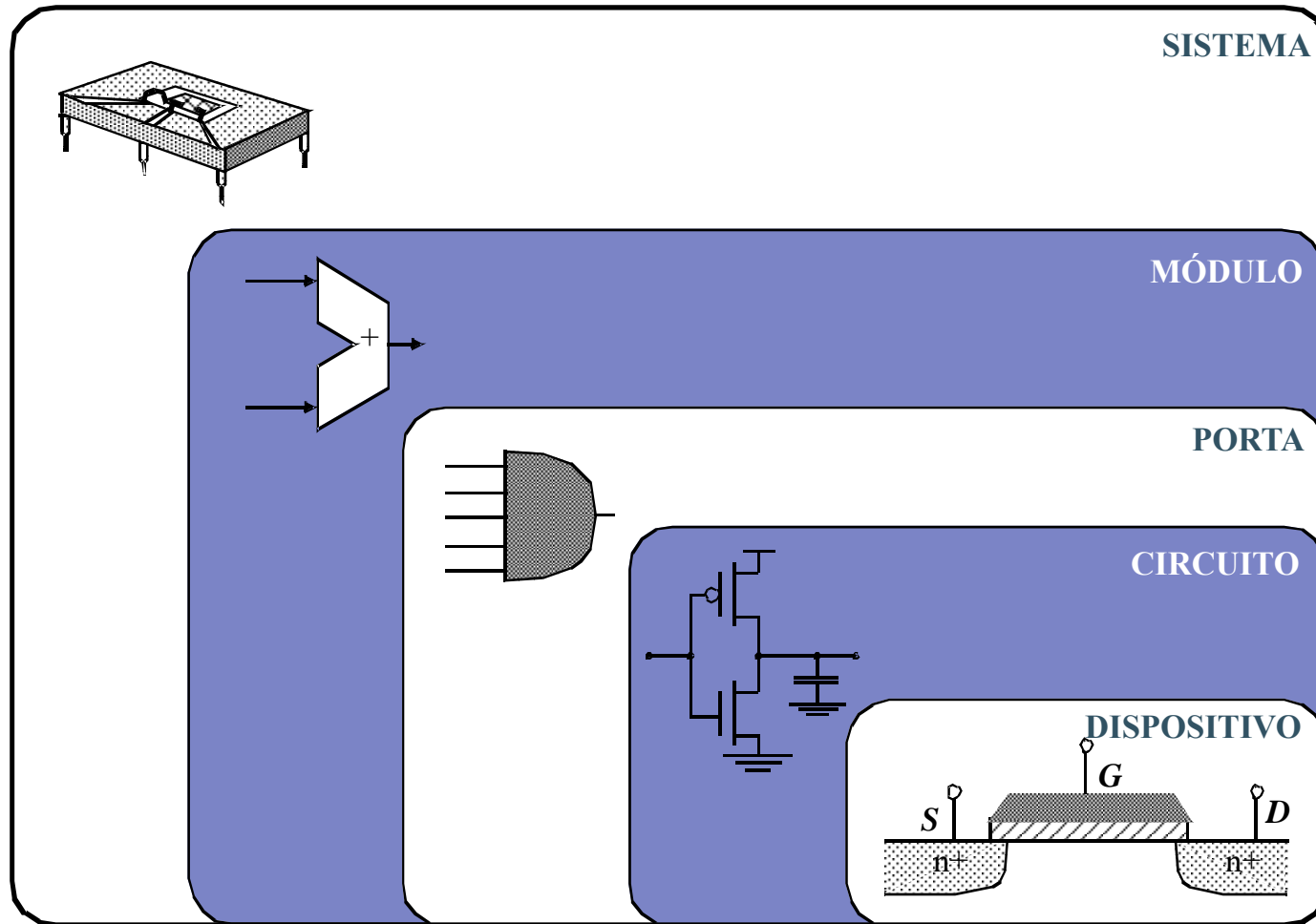


Microelectrónica

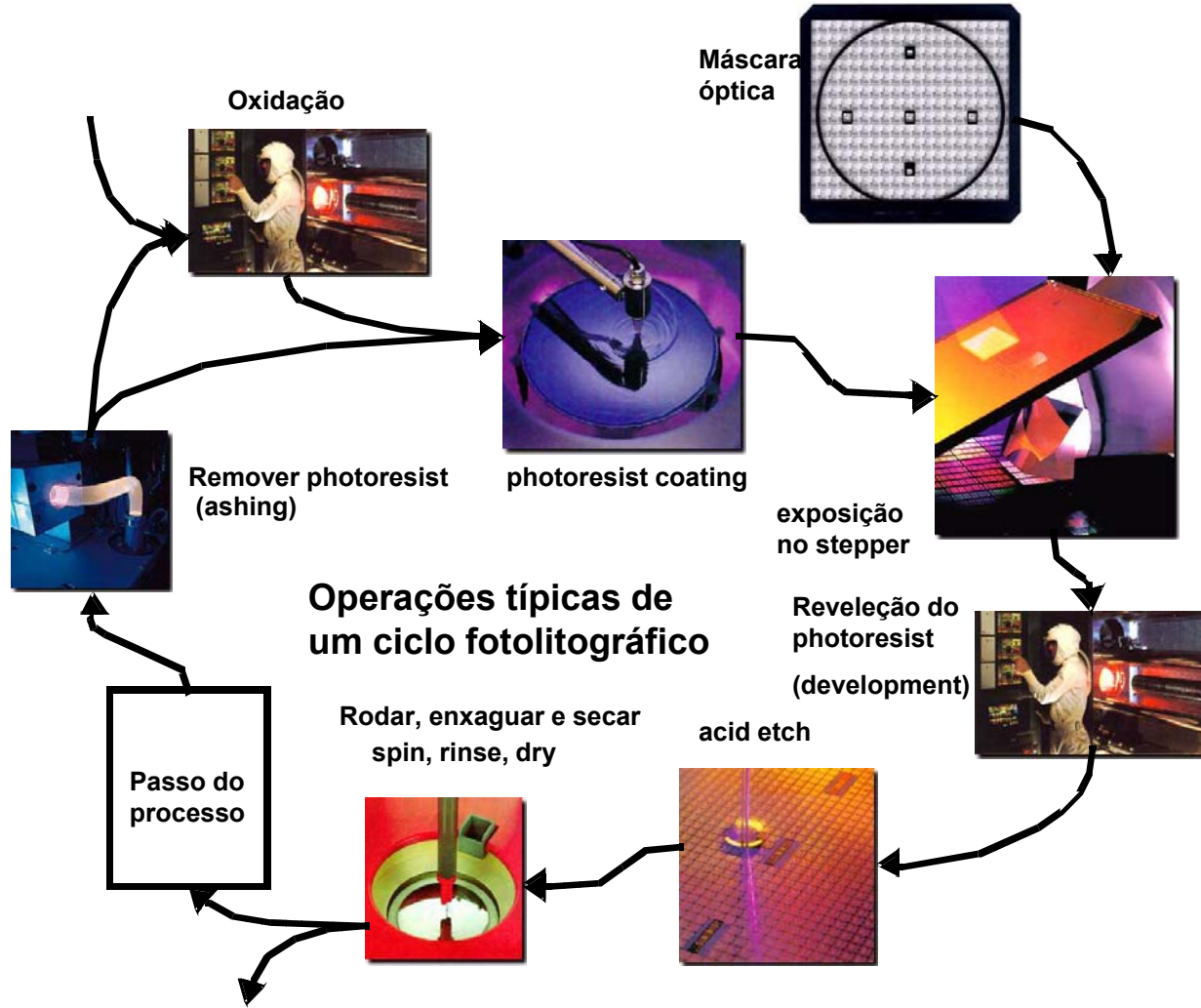
• Tecnología Bipolar



Níveis de abstracção



Fabrico CMOS

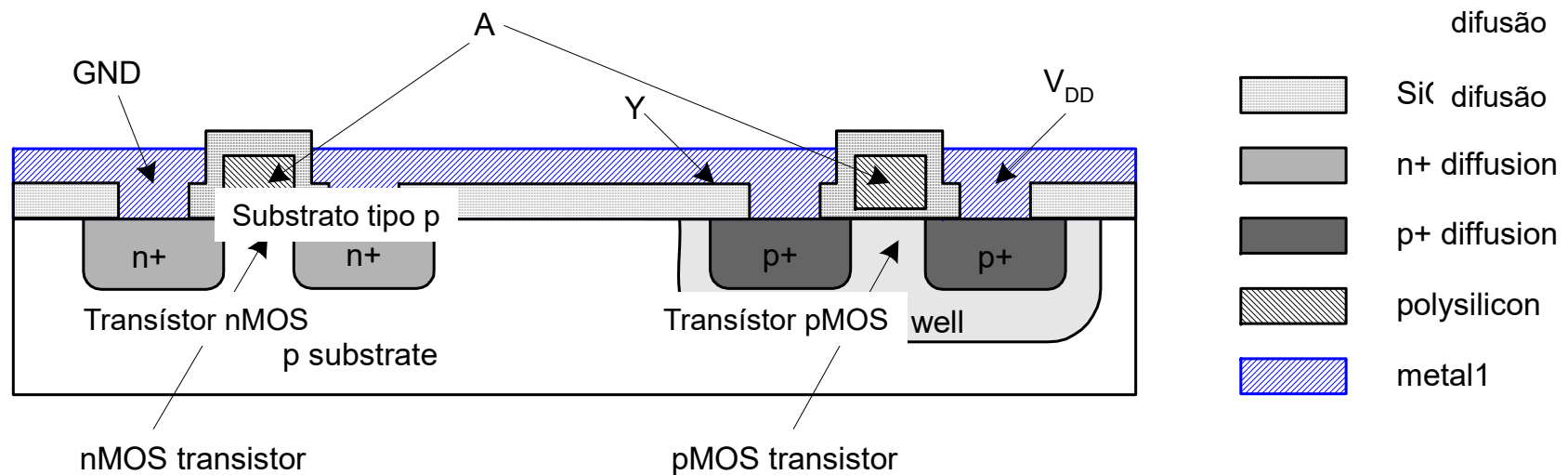


Fabrico CMOS

- Transístores CMOS são fabricados num wafer de silício
- Processo litográfico
- Em cada passo, diferentes materiais são depositados ou removidos
- Mais fácil de compreender através da visualização do perfil de um wafer e da planta em simultâneo num processo simplificado

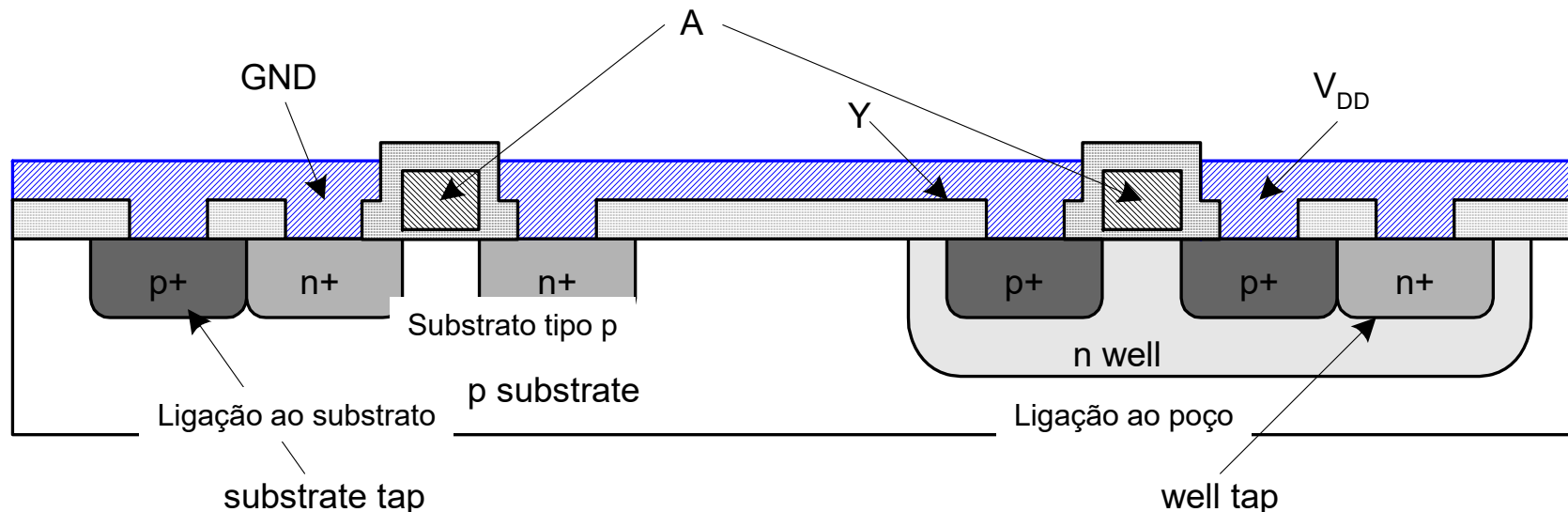
Perfil de um inversor

- Tipicamente utiliza um substrato tipo-p para os transístores nMOS
- Necessita n-well para o corpo dos transístores pMOS



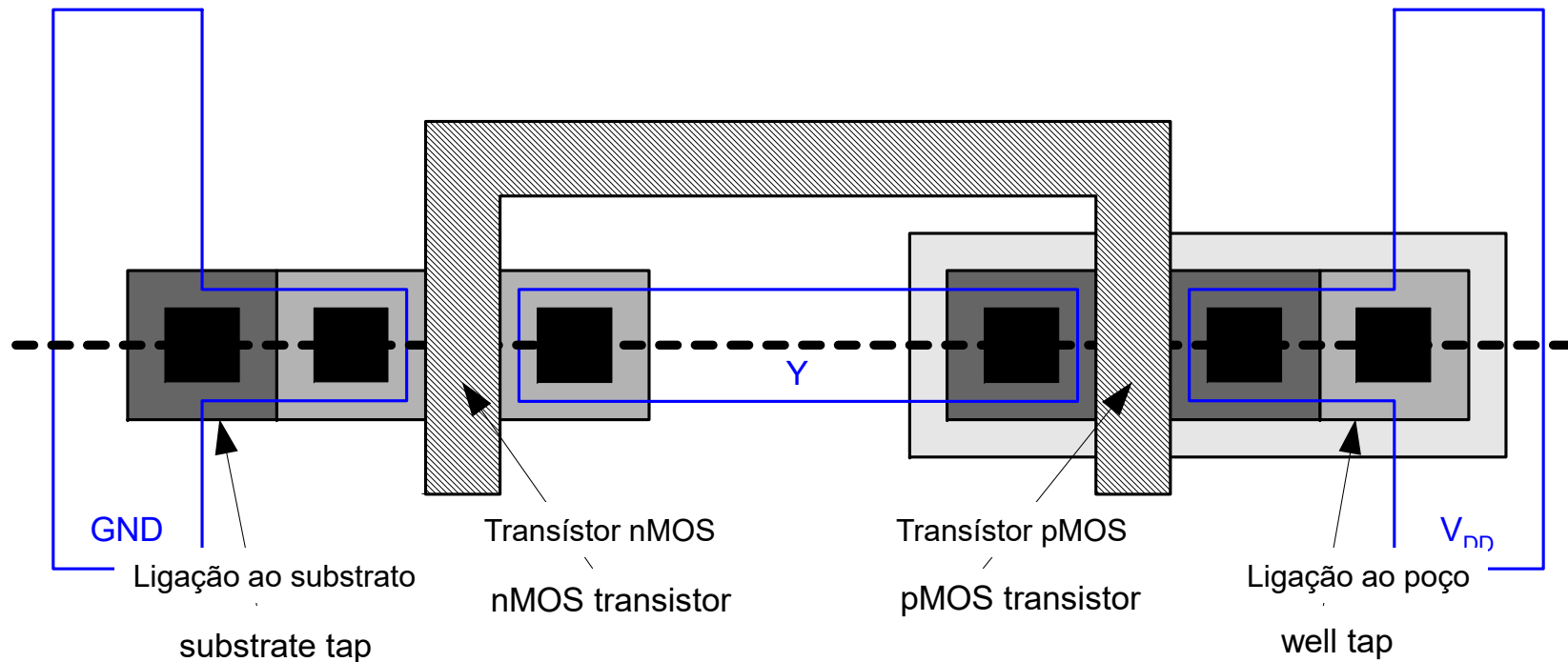
Ligação ao substrato e à well

- O substrato tem que estar ligado ao GND e a n-well a V_{DD}
- A ligação entre o metal a semicondutor ligeiramente dopado forma uma ligação (utilizado para formar um díodo Schottky)
- Utiliza-se poços e contactos com substrato fortemente dopados



“Mask Set” para o inversor

- Os transístores e os fios são definidos por máscaras
- Perfil através da linha a tracejado



Pormenor das máscaras

- Seis máscaras

- n-well

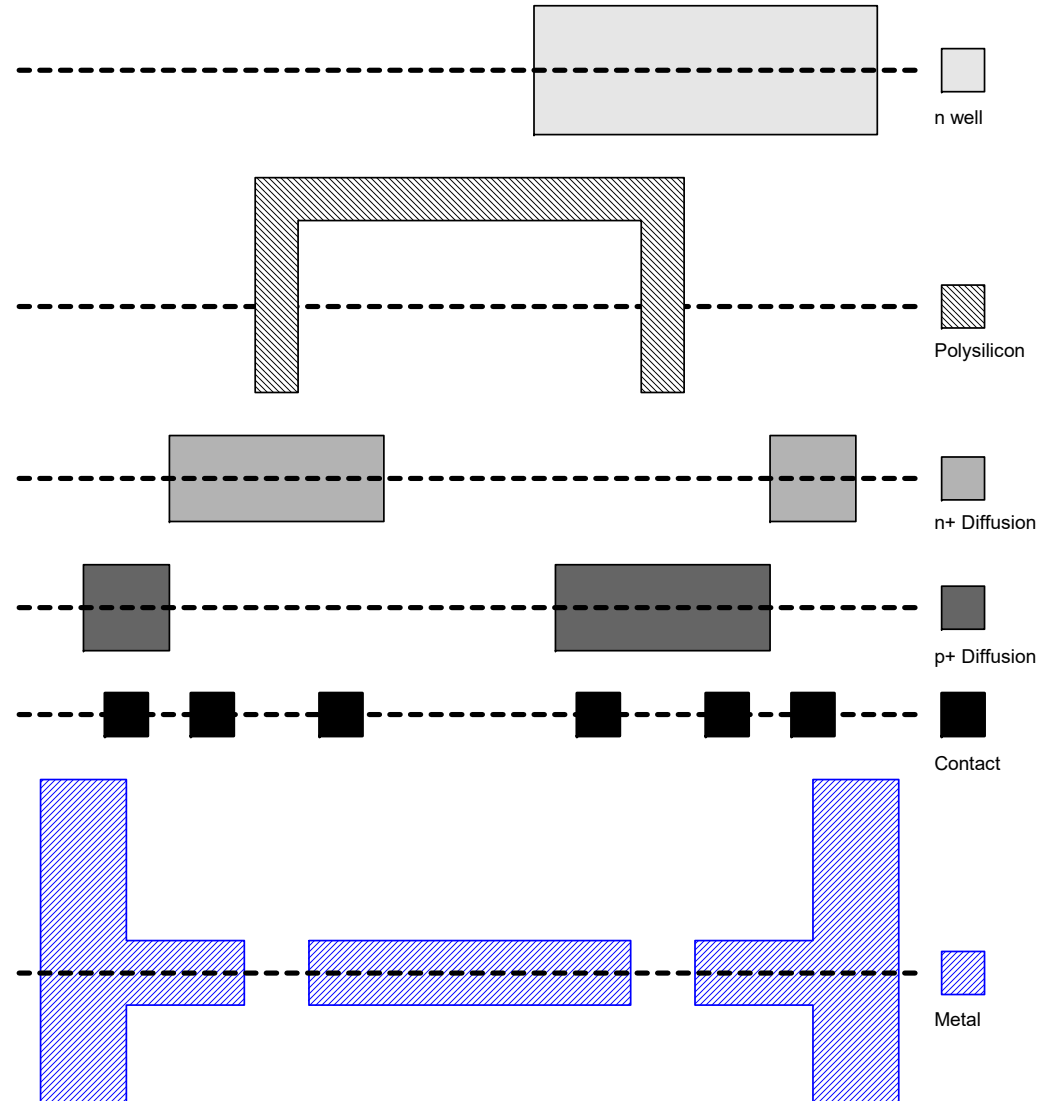
- Polysilicon

- n+ diffusion

- p+ diffusion

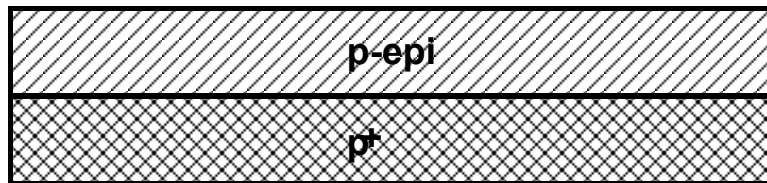
- Contacto

- Metal

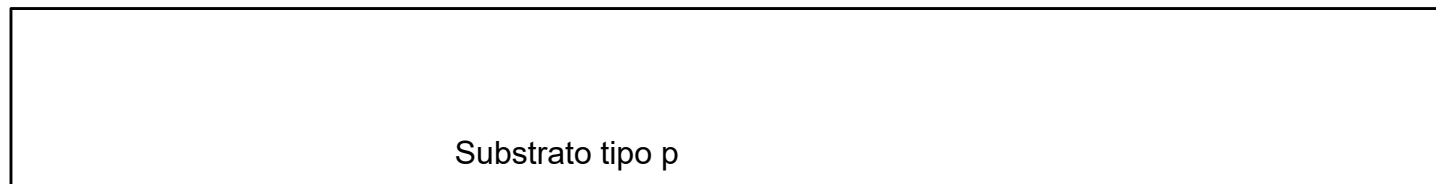


Passos do fabrico

- Começa com o wafer em “branco”
- Constrói-se o inversor de baixo para cima
- O primeiro passo consiste em formar a n-well
 - Cobrir o wafer com uma camada protectora de SiO_2
 - Remover a camada onde a n-well deve ficar
 - Implantar ou difundir dopantes do tipo n no wafer exposto
 - Remover o SiO_2

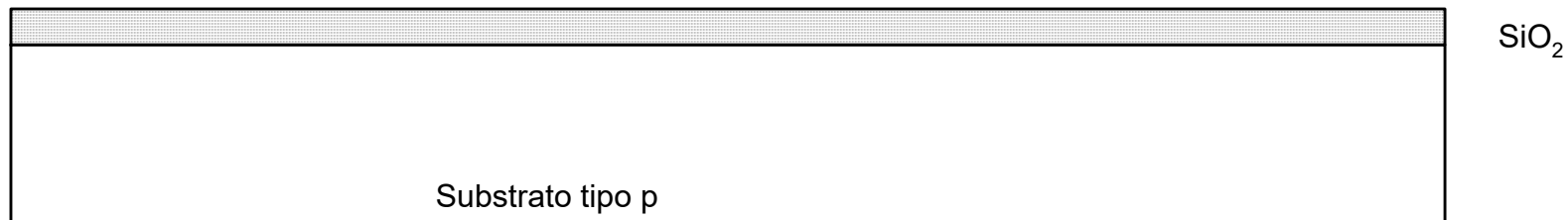


(a) Material Base : substrate p+ com p-epi layer



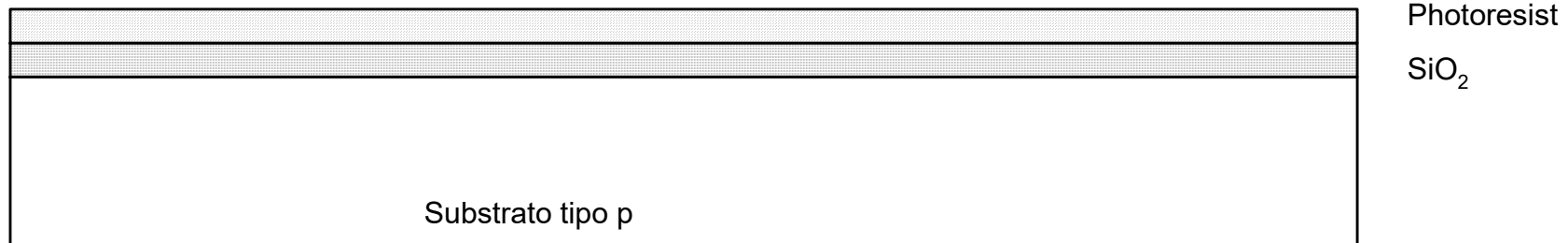
Oxidação

- Crescer SiO_2 no topo do wafer de Si
–900 – 1200 C com H_2O ou O_2 no forno de oxidação



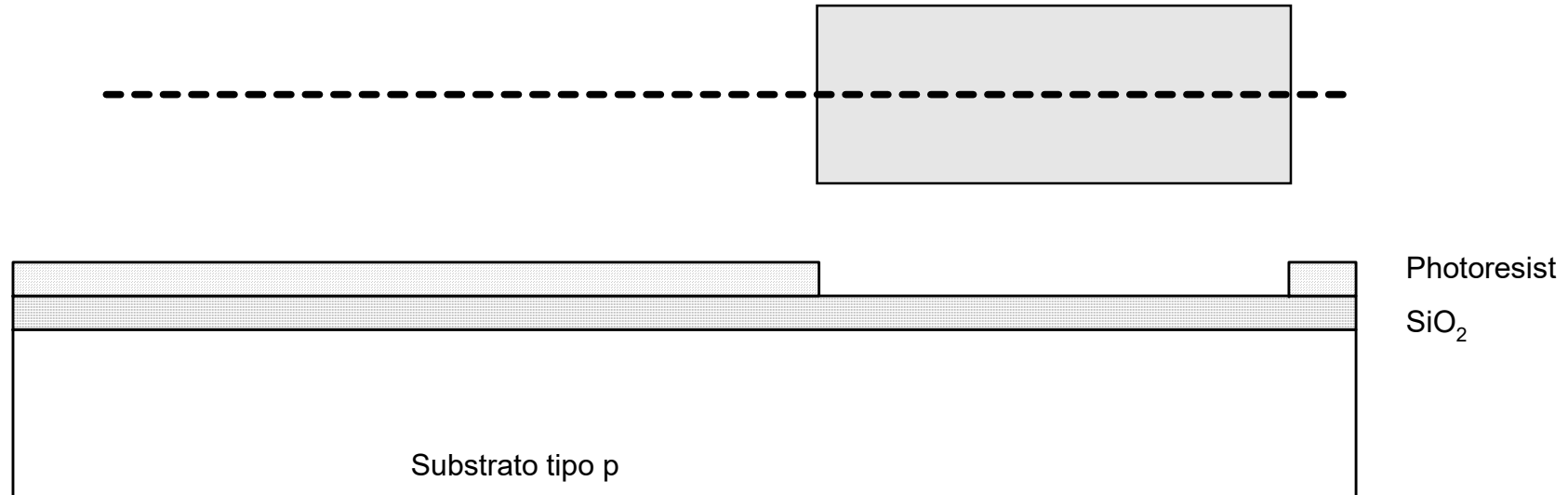
Photoresist

- “Spin on” do photoresist
 - Photoresist é um polímero orgânico sensível à luz
 - Amacia quando exposto à luz



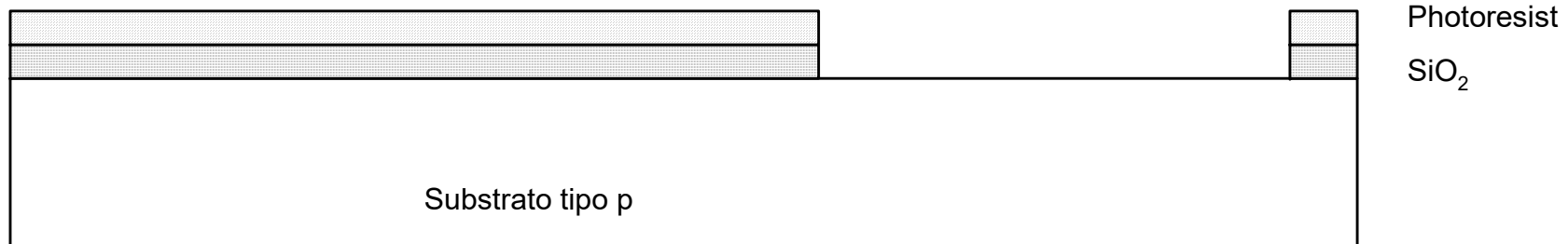
Litografia

- Expor o photoresist através da máscara n-well
- Remover o photoresist exposto
- Máscara NW



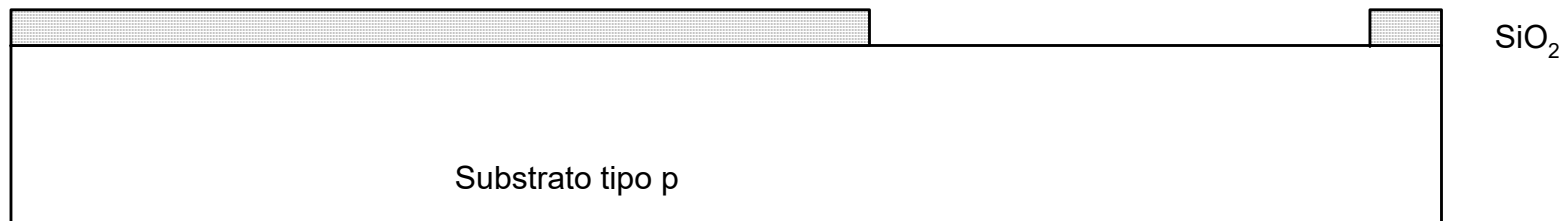
Remoção - *Etch*

- Remover o óxido com ácido fluorídrico (HF)
 - Penetra na pele e devora o osso!!!
- Só ataca o óxido onde o resist foi exposto



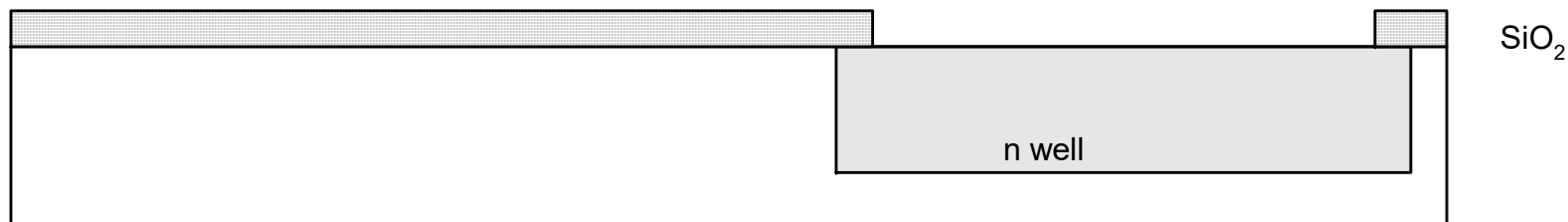
Remover Photoresist

- Remover o photoresist restante
 - Utilização de mistura de ácidos denominado “piranah etch”
- Necessário para que o resist não derreta no próximo passo



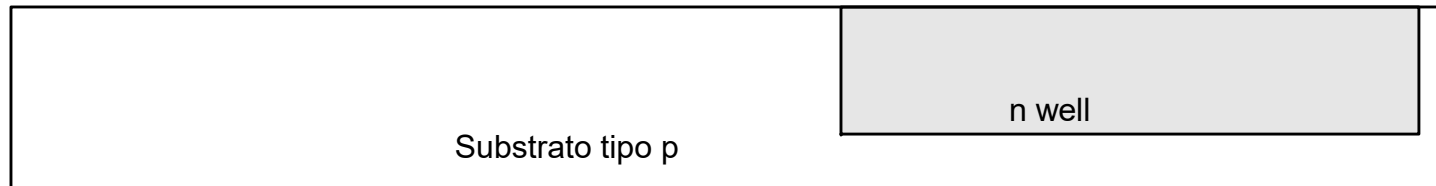
n-well

- O n-well é formado por difusão ou por implantação iónica
- Difusão
 - Colocar o wafer num forno com um gás arseniado
 - Aquecer até que os átomos de As se difundam no Si exposto
- Implantação iónica
 - Atingir o wafer com um feixe de iões de As
 - Os iões são bloqueados pelo SiO_2 ,

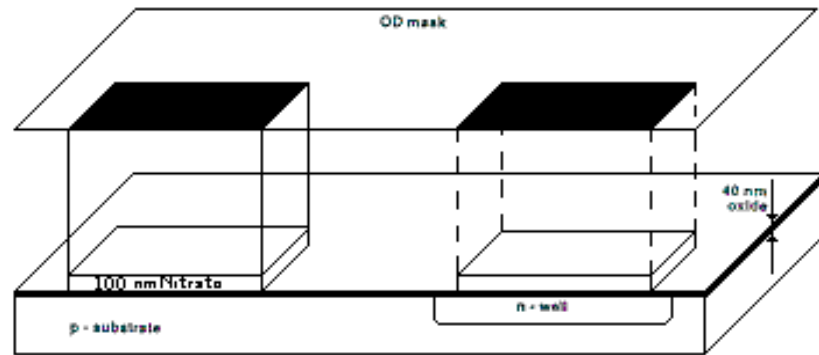


Remover o óxido

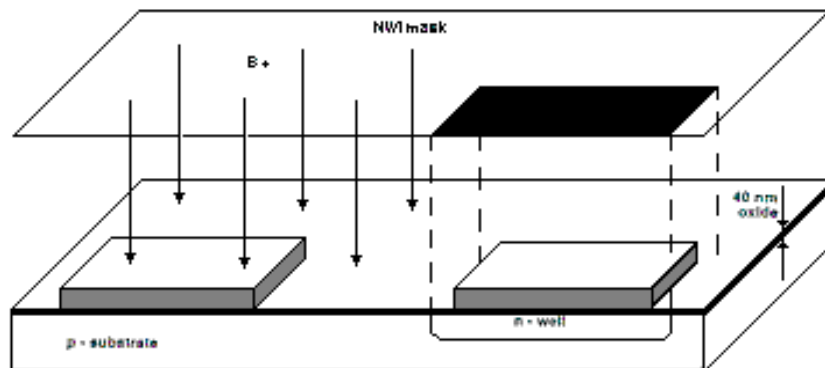
- Remover o óxido com HF
- Regressamos ao wafer limpo com n-well
- Os passos seguintes envolvem uma série de passos semelhantes



Zona activa e LOCOS



(a) Máscara OD

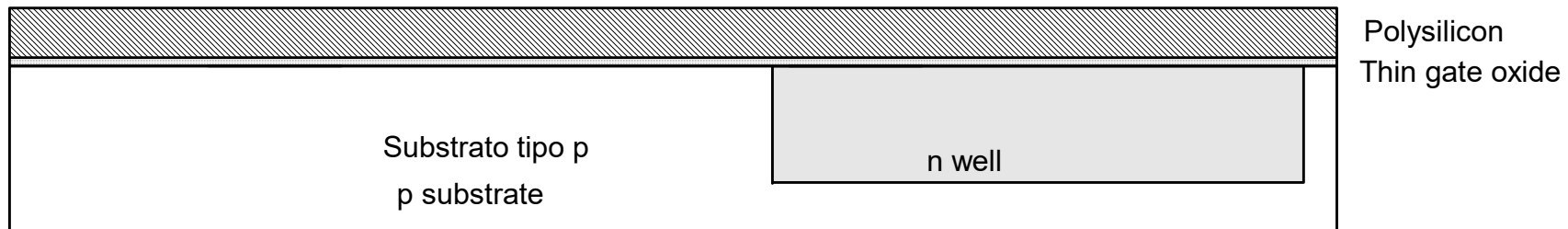


(b) Máscara NWI

- Áreas activas - máscara *active* (OD) - nitrato de silício (depositado numa camada fina de SiO_2 conhecida como óxido libertador de *stress* e é usado como *buffer* mecânico entre o nitreto e o silício)
- Antes de ser acrescentado o óxido LOCOS (*Local Oxidation of silicon*) é feita uma deposição com p^+ (máscara NWI)

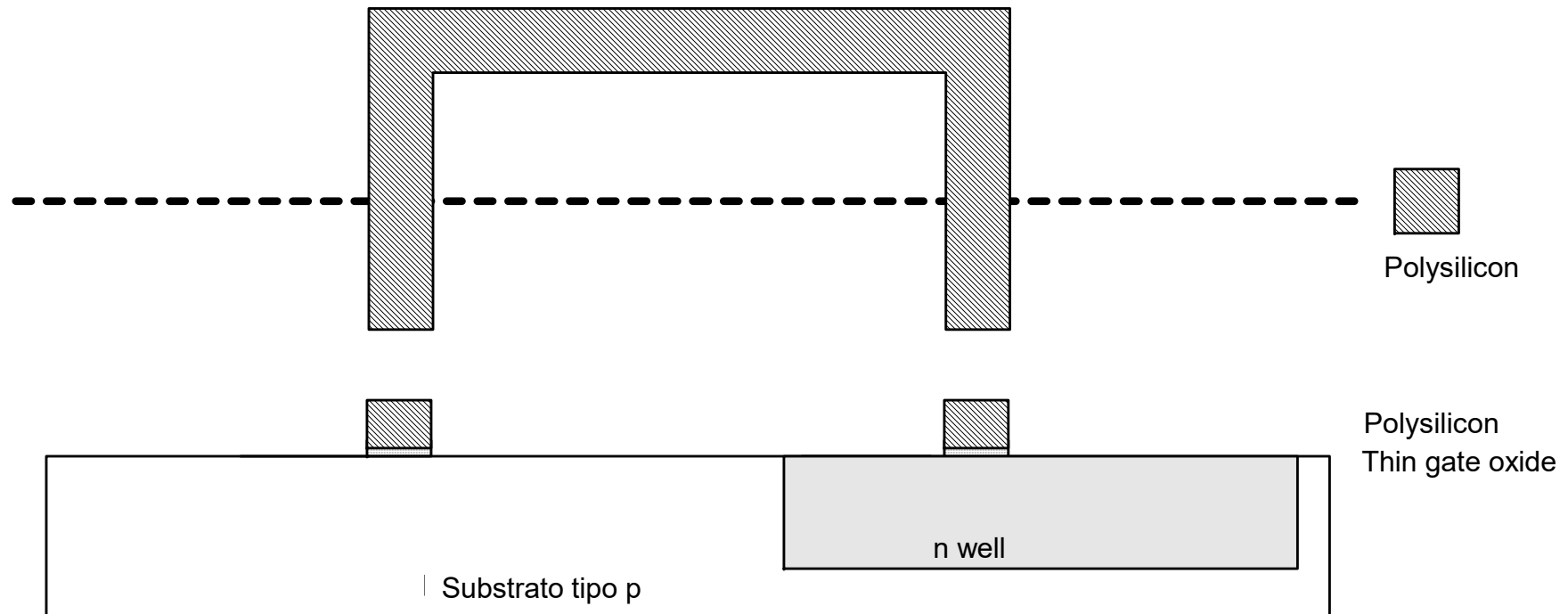
Polysilicon

- Depositar uma camada muito fina de *gate oxide*
 - $< 20 \text{ \AA}$ (6-7 camadas atômicas)
- Deposição de camada de silício por CVD
 - Colocar o wafer num forno com SiH_4
 - Formam-se muitos cristais denominados polysilicon
 - É fortemente dopado para se tornar um bom condutor



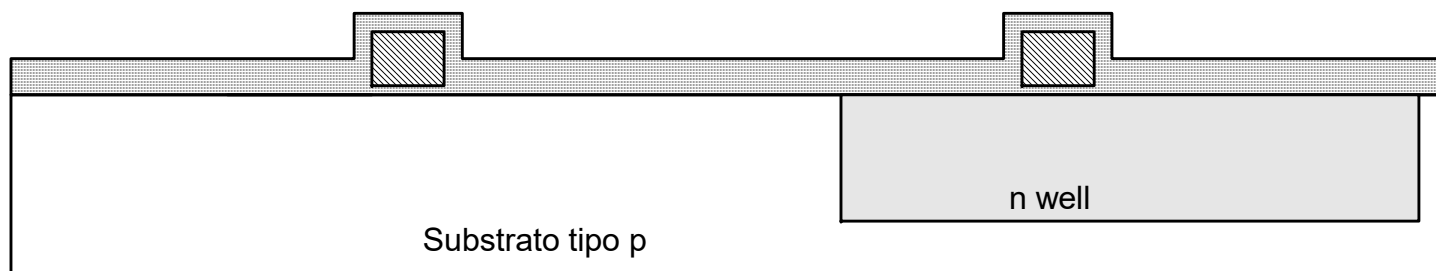
Padronizar o Polysilicon

- Utilização do processo litográfico para padronizar a poly
- Máscara poli



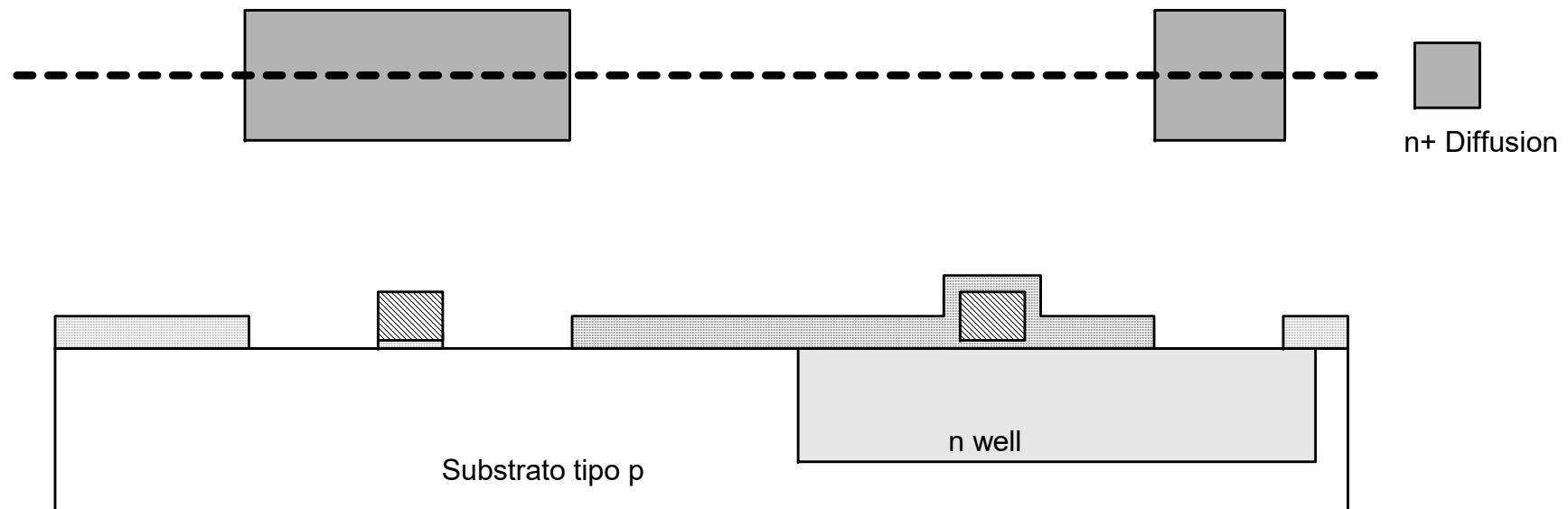
N-difusão

- Utiliza-se óxido e uma máscara para expôr onde os dopantes n^+ devem ser difundidos ou implantados
- A n-difusão forma a fonte e dreno do nMOS, e o contacto com a n-well



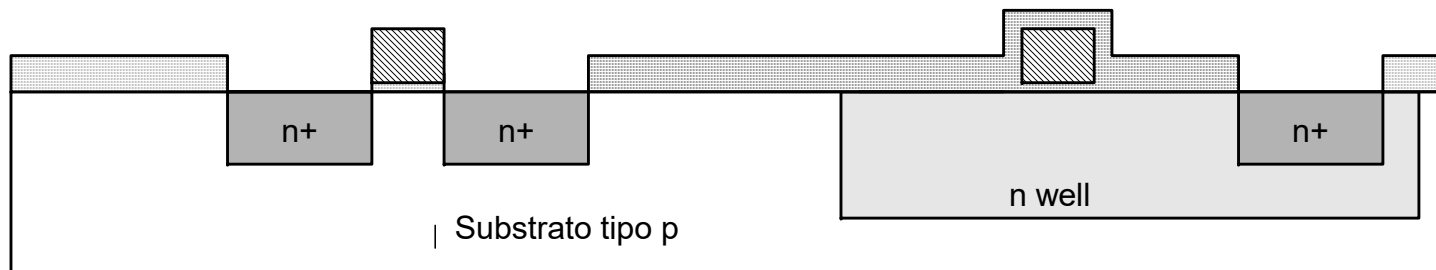
N-difusão (cont.)

- Padronizar o óxido e formar as regiões n⁺
- Máscara SN (Shallow n)



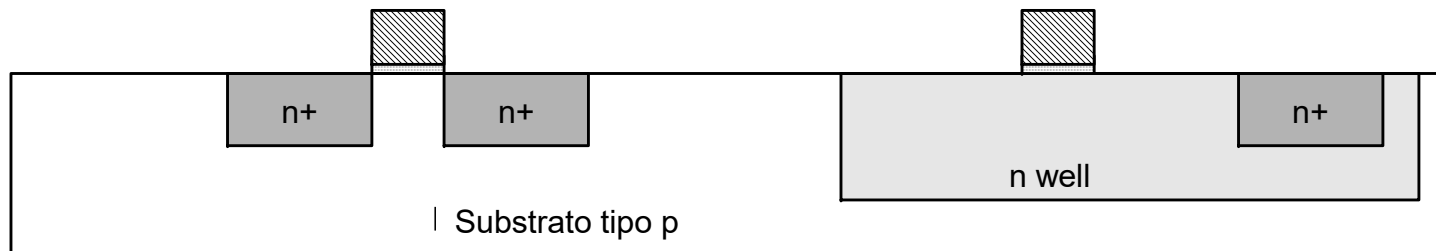
N-difusão (cont.)

- No início os dopantes eram difundidos
- Actualmente são implantados
- No entanto ainda se chamam regiões difundidas



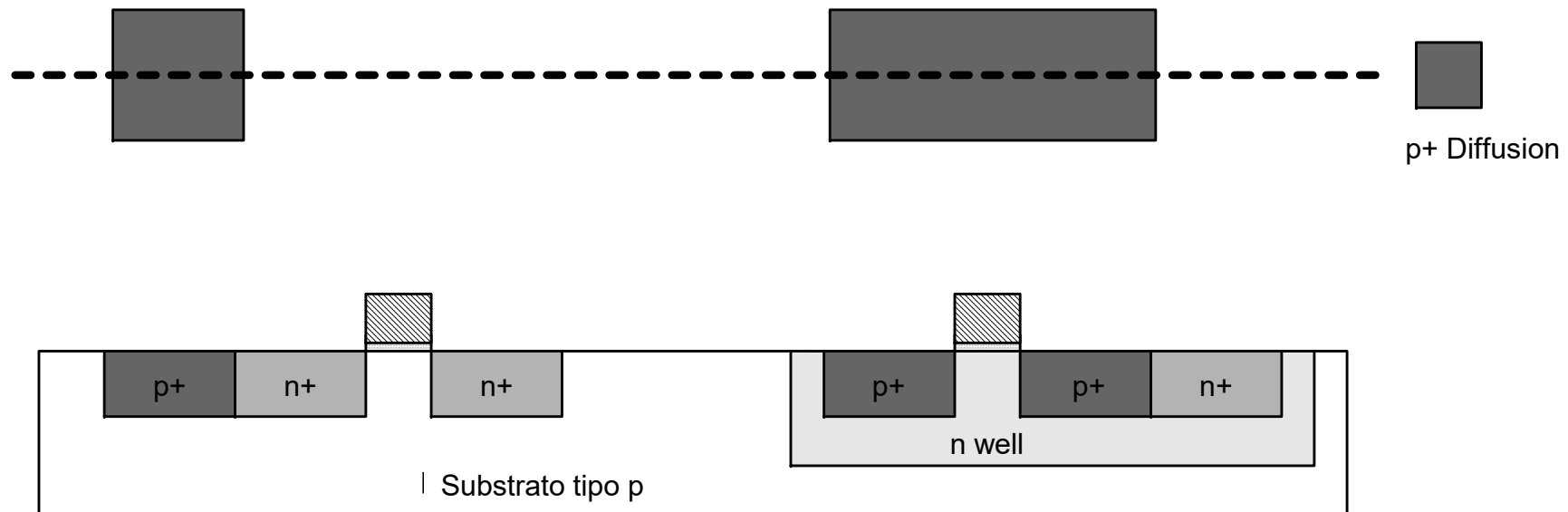
N-difusão (cont.)

- Remover o óxido para completar este passo



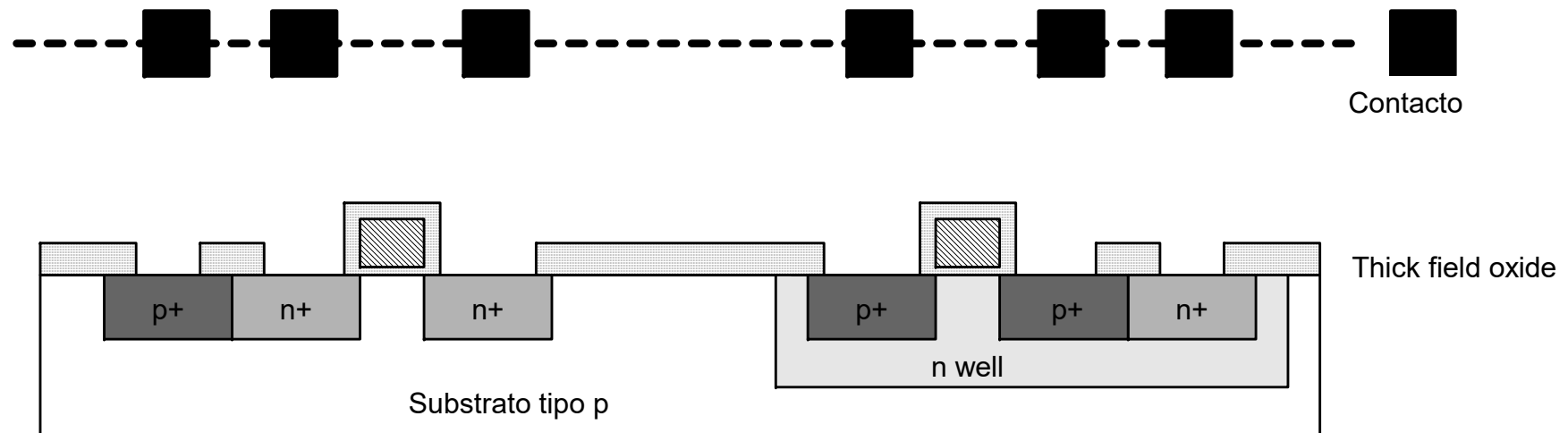
P-Difusão

- Semelhante ao anterior para formar as regiões p^+ - Máscara SP (Shallow p)
- Fonte e dreno do pMOS e contacto com o substrato



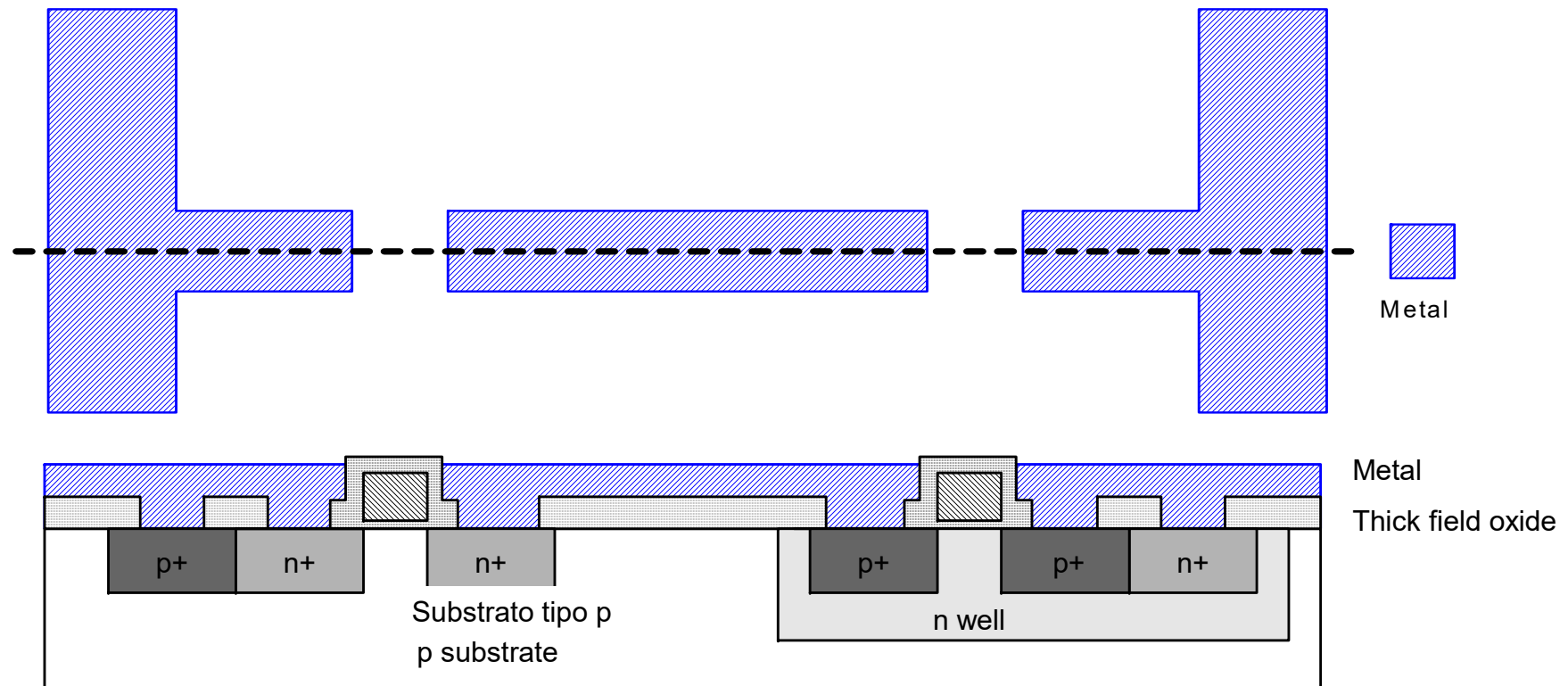
Contactos

- Agora é necessário interligar os dispositivos
- Cobre-se o chip com thick field oxide
- Remove-se o óxido onde é necessário efectuar os contactos
- Máscara CO

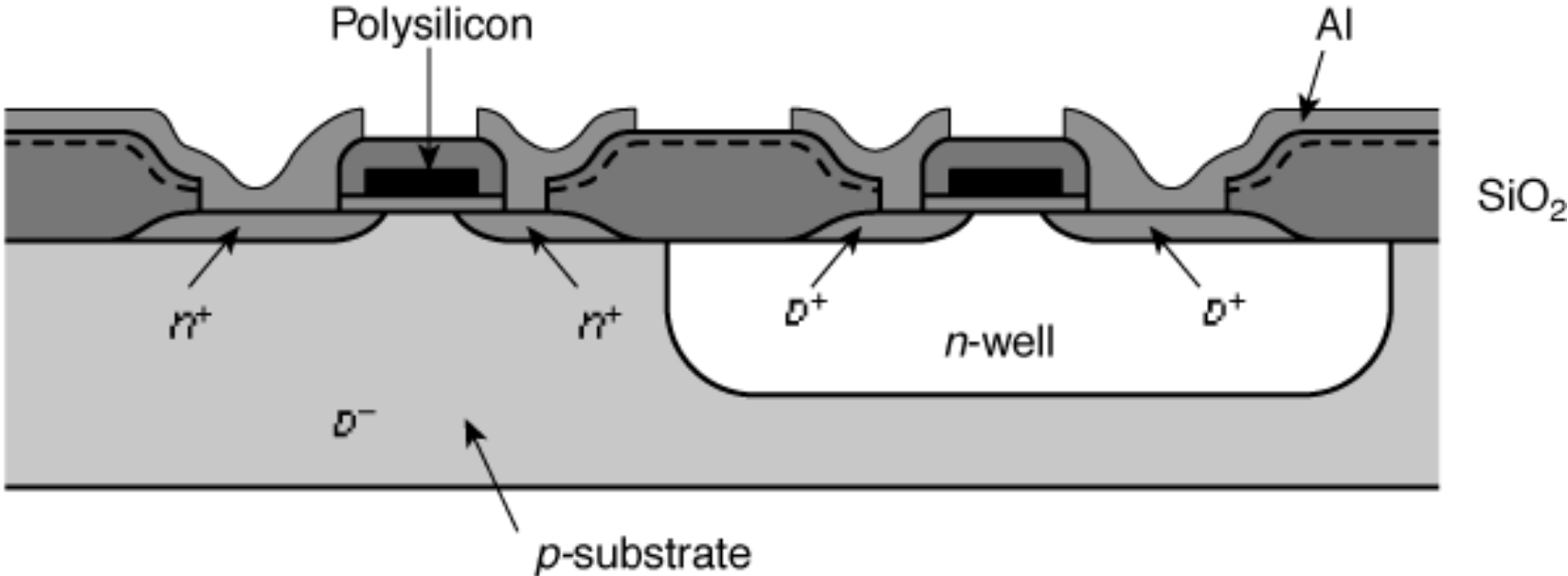


Metalização

- Sputtering de alumínio sobre todo o wafer
- Padronizar para remover o metal em excesso, ficando só as conexões- Metal



Camadas reais












Layout

- Interface entre o engenheiro de desenho e de processo
- Regras para desenhar as máscaras



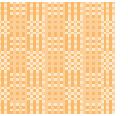
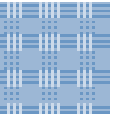

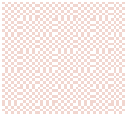

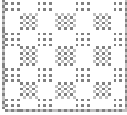







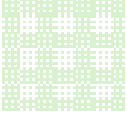
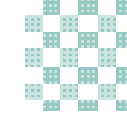
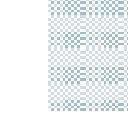
Layout

- Os chips são especificados com um conjunto de máscaras
- As dimensões mínimas das máscaras determinam as dimensões do transistor
 - Velocidade, custo, potência
- Tecnologia (f - *feature*) – distância entre a fonte e o dreno
 - Definido pela largura mínima do polisilício
- A tecnologia melhora cerca de 30% todos os 3 anos
- Dimensões normalizadas pela tecnologia
- Expressar as regras em termos de $\lambda = f/2$
 - E.g. $\lambda = 0.3 \mu\text{m}$ num processo $0.6 \mu\text{m}$

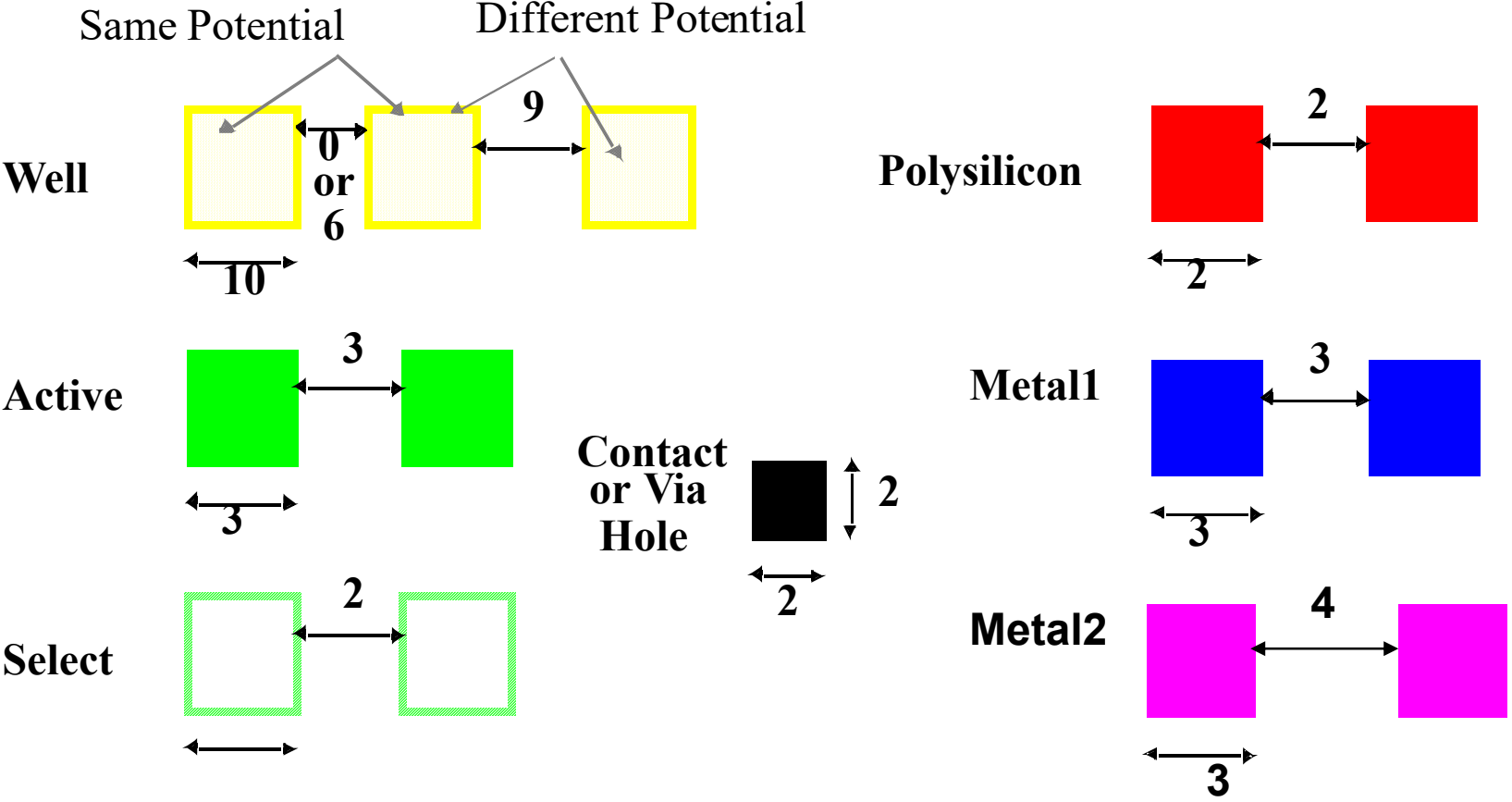
Layers de um processo CMOS

Layer	Color	Representation
Well (p,n)	Yellow	
Active Area (n+,p+)	Green	
Select (p+,n+)	Green	
Polysilicon	Red	
Metal1	Blue	
Metal2	Magenta	
Contact To Poly	Black	
Contact To Diffusion	Black	
Via	Black	

Layout

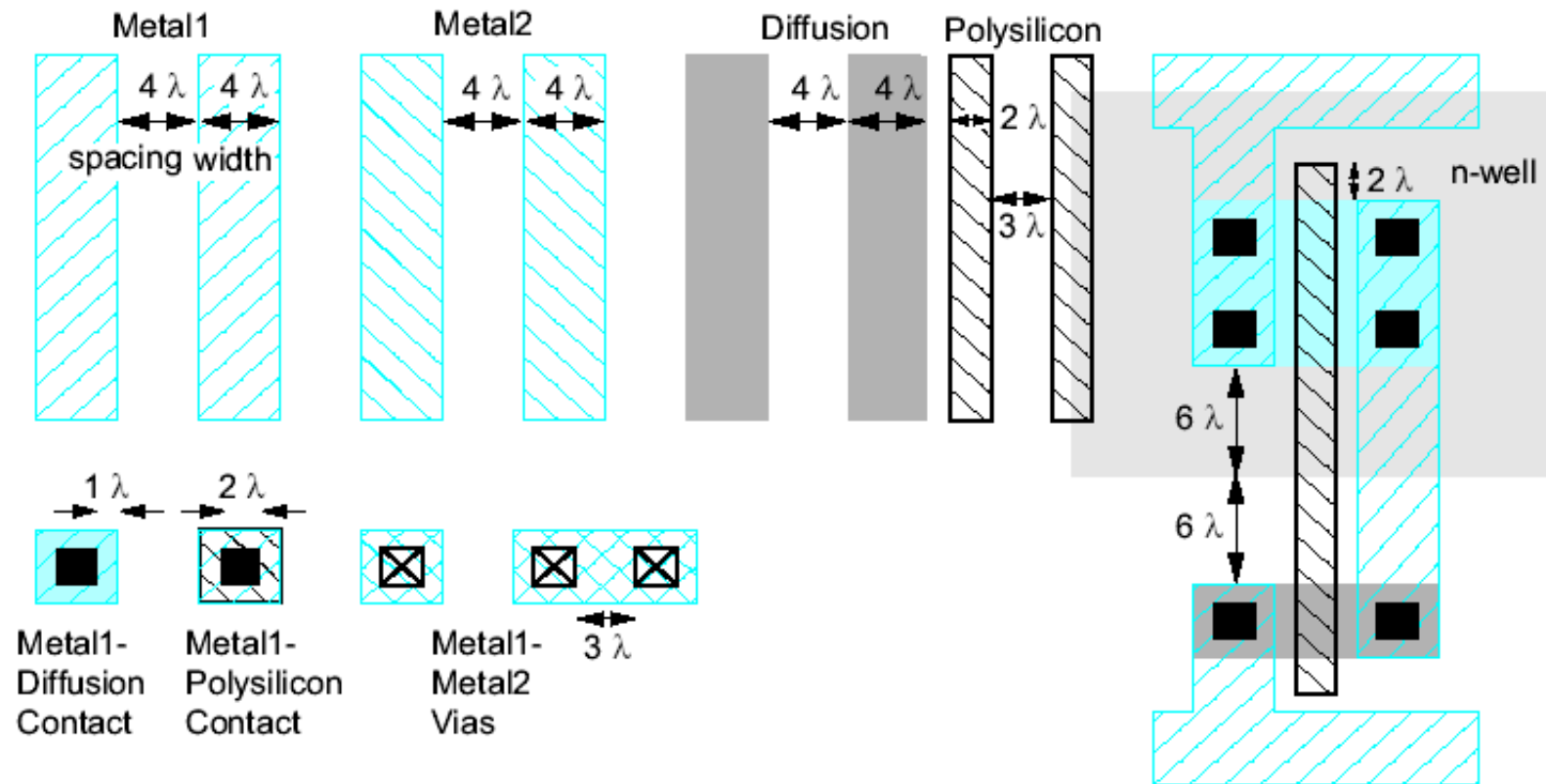
Layer Description	Representation				
metal	 m1	 m2	 m3	 m4	 m5
well	 nw				
polysilicon	 poly				
contacts & vias	 ct	 v12,v23,v34,v45	 nwc	 pwc	
active area and FETs	 ndif	 pdif	 nfet	 pfet	
select	 nplus	 pplus	 prb		

Regras intra-layer



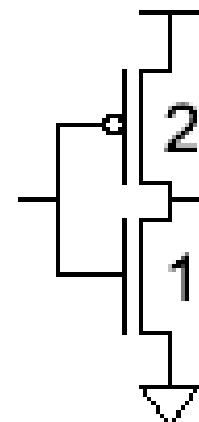
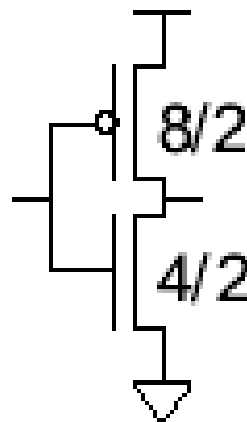
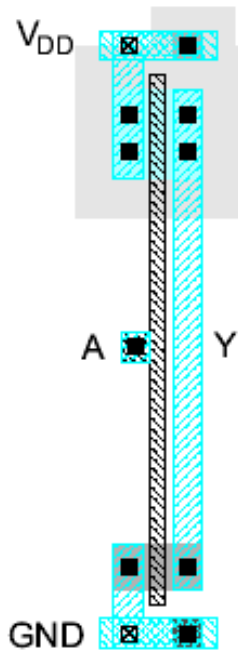
Regras de desenho simplificadas

- Normalmente começa-se com regras

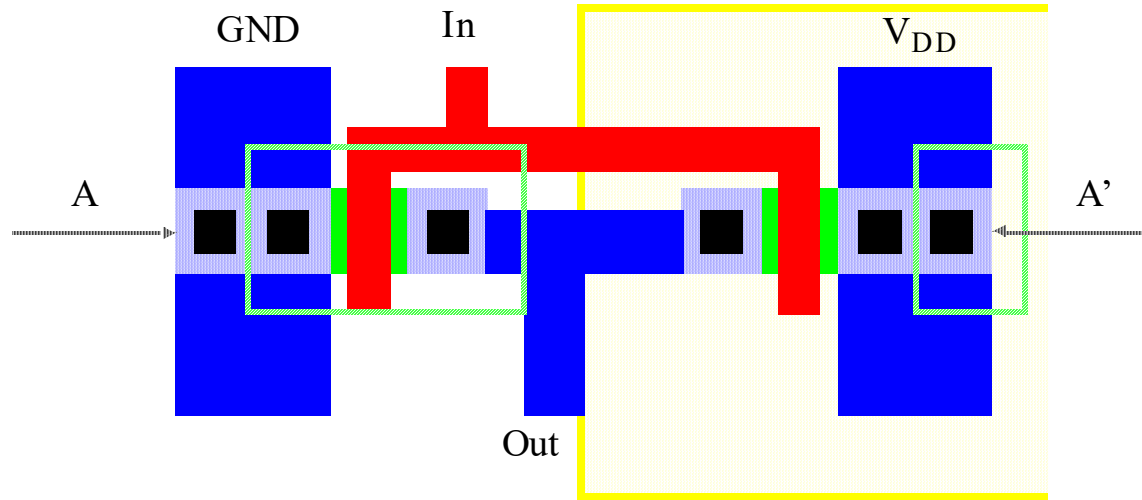


Layout de um inversor

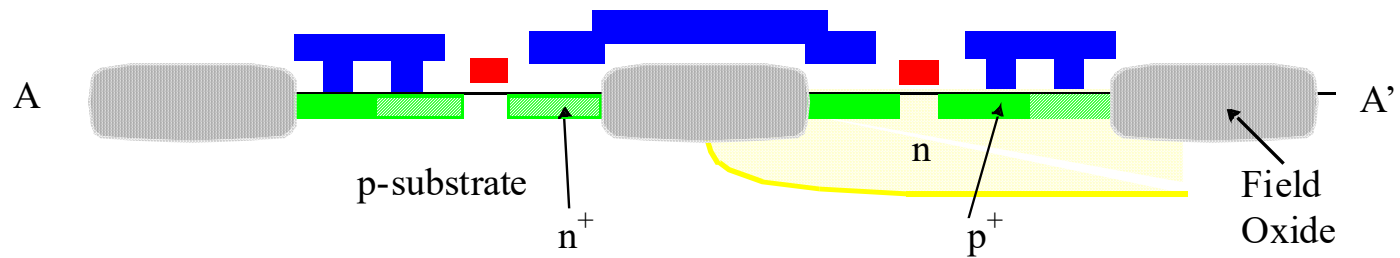
- As dimensões do transistor são especificadas por W/L
 - A dimensão mínima é $4\lambda / 2\lambda$
 - Para um processo com $f = 0.6 \mu\text{m}$, significa um transistor com $1.2 \mu\text{m}$ de largura, por $0.6 \mu\text{m}$ de comprimento



Layout de um inversor

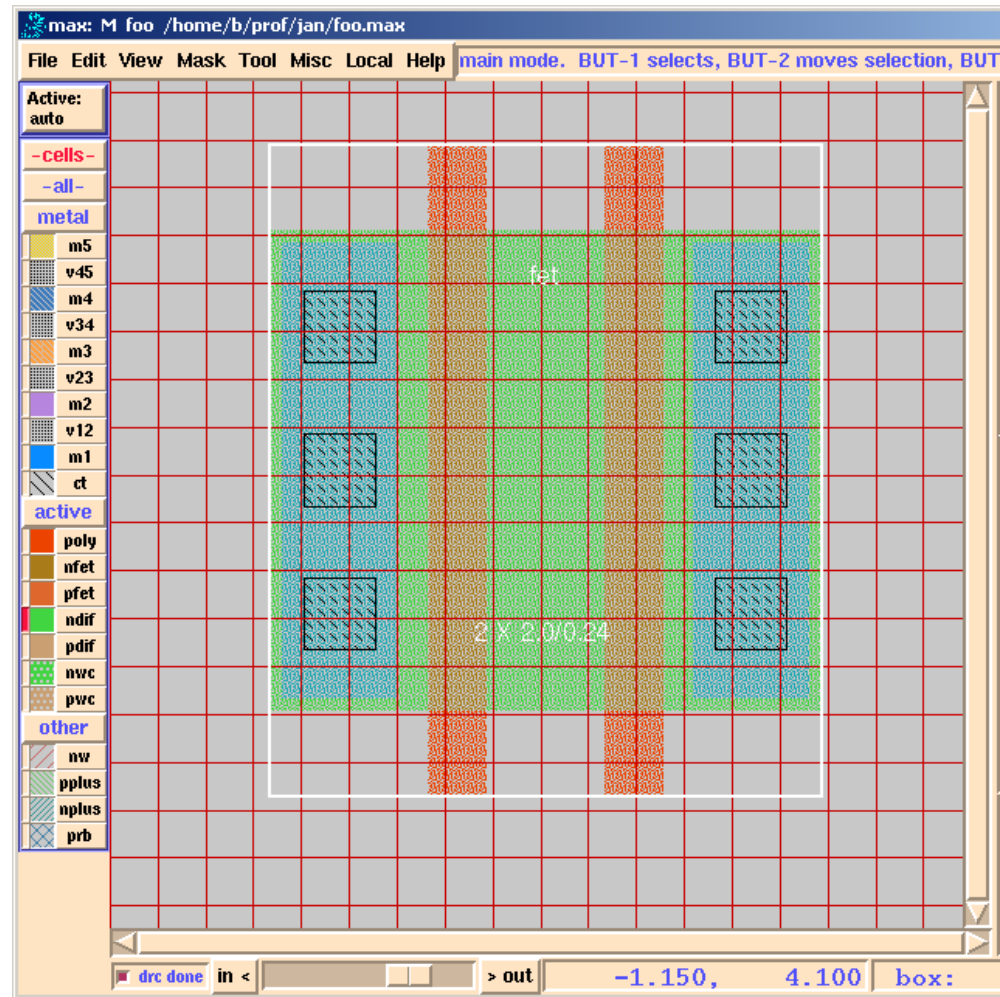


(a) Layout

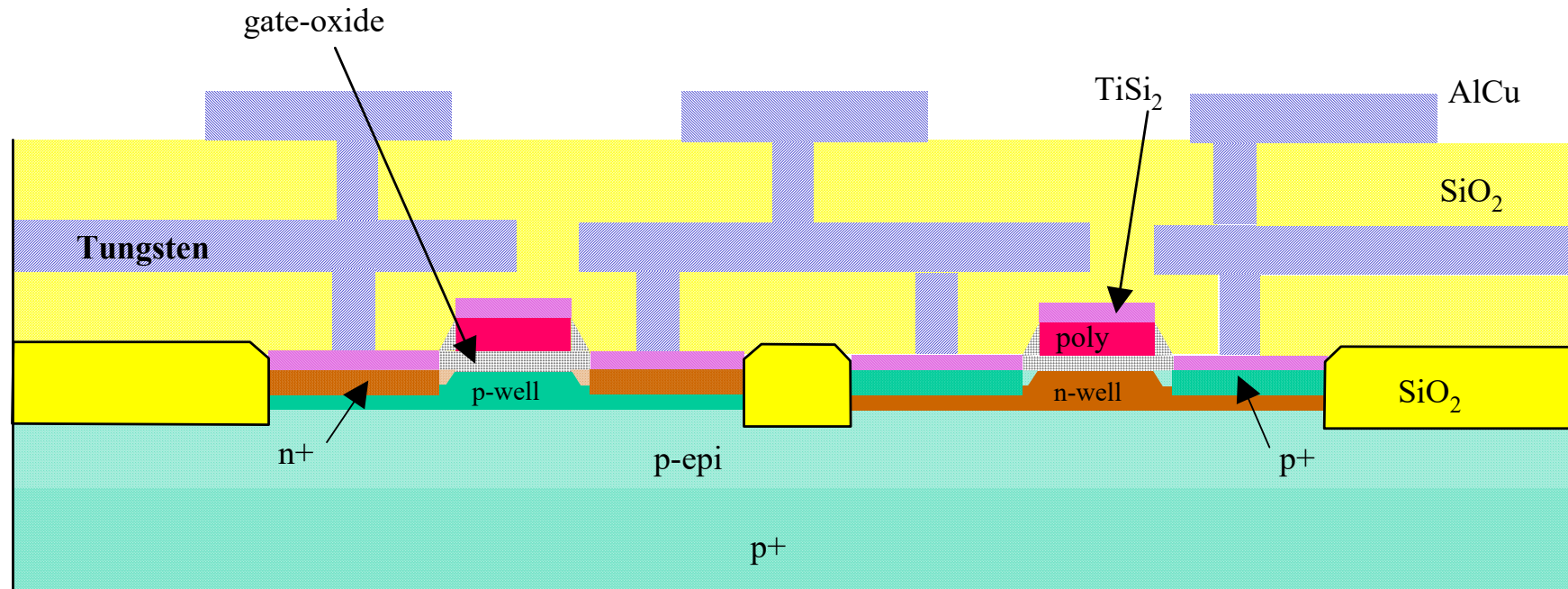


(b) Cross-Section along A-A'

Editor de layout – DRC, LVS,...



Processo CMOS moderno



Dual-Well Trench-Isolated CMOS Process

Características da Tecnologia CMOS

Menor consumo de potência estática
Maiores margens de ruído
Maior densidade de encapsulamento – menor custo por dispositivo
Maior colheita com funções complexas integradas

Vantagens do CMOS sobre bipolar

Impedância de entrada elevada (baixa corrente de controlo)
Tensão de limiar **Scaleable**
Atraso com elevada sensibilidade à carga (limitações de fan-out)
Corrente de saída pequena (problema quando controla cargas capacitivas)
Baixa transcondutância, onde transcondutância $g_m \propto V_{in}$
Capacidade bidireccional (permutação entre drain e source)
Próximo de um interruptor ideal

Outras vantagens do CMOS

Características da Tecnologia bipolar

Vantagens do bipolar sobre CMOS

Maior velocidade de comutação
Maior controlo de corrente por unidade de área, maior ganho
Normalmente melhor performance de ruído e melhor característica de frequência
Melhor capacidade analógica
Melhor velocidade I/O (particularmente significativo devido ao aumento da importância do limite do encapsulamento em sistemas de alta velocidade)

Elevada dissipação de potência
Menor impedância de entrada (corrente de comando elevada)
Baixo swing lógico
Baixa densidade de encapsulamento
Atraso com pouca sensibilidade à carga
Elevado g_m ($g_m \propto V_{in}$)
Produto ganho-largura de banda (f_t) elevado a baixas correntes
Essencialmente unidireccional

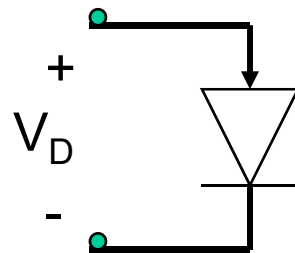
*Outras características do
Bipolar*

Tecnologia BiCMOS

- Combina as duas tecnologias (Bipolar e CMOS) tirando partido do ganho dos transístores bipolares e do baixo consumo da tecnologia CMOS.
- Espaço físico para layout otimizado comparado com a tecnologia Bipolar.
- I_B , I_{offset} e V_{offset} otimizados
- Processo de fabrico muito caro quando comparado com a tecnologia Bipolar e CMOS.
- Utilizando as vantagens do bipolar e do CMOS, BiCMOS permite o desenvolvimento de circuitos VLSI com uma elevada densidade velocidade-potência, não conseguida pelas tecnologias individualmente

O Díodo

- A *equação do díodo ideal* (para polarização directa e inversa) é

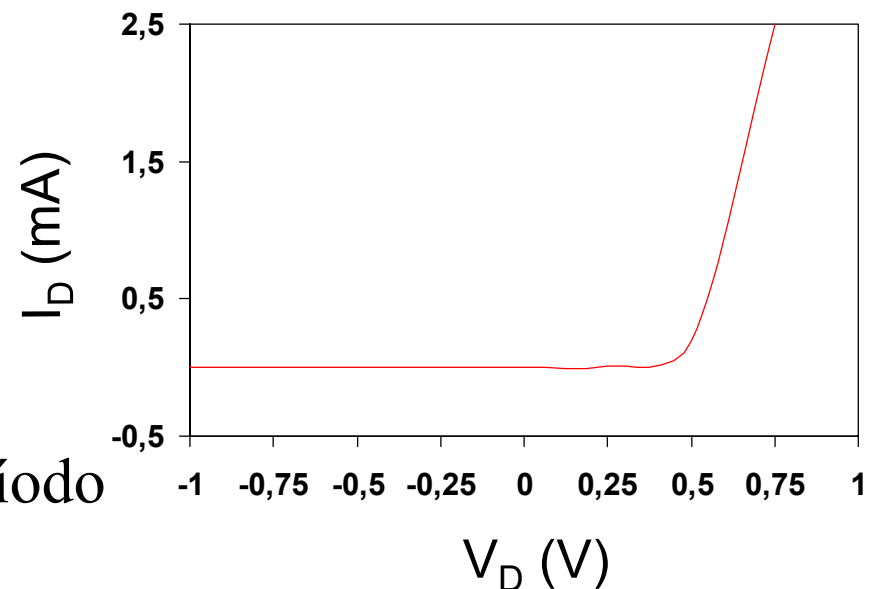

$$I_D = I_S(e^{V_D/\phi_T} - 1)$$

onde V_D é a tensão aplicada à junção pn

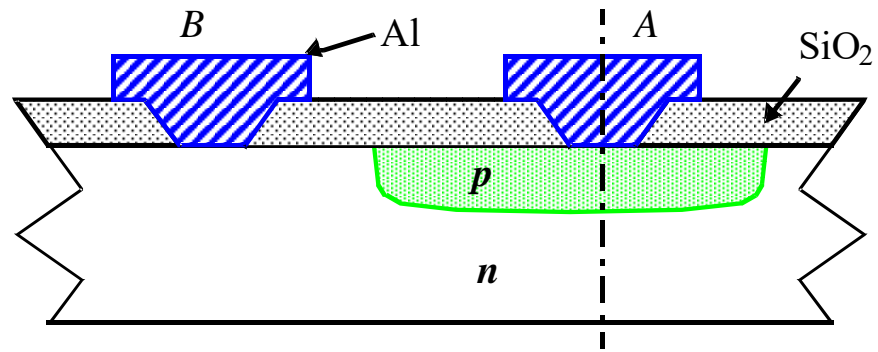
- Uma polarização directa
baixa a barreira de potencial
permitindo o fluxo de portadores
- Uma polarização inversa
aumenta a barreira de potencial
impedindo o fluxo de portadores

$$\phi_T = kT/q = 26\text{mV a } 300\text{K}$$

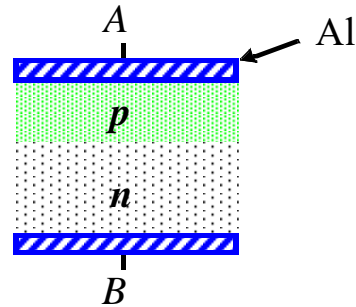
I_S é a corrente de saturação do díodo



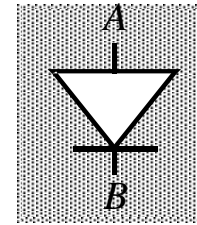
O Díodo



Perfil de uma junção p-n num processo IC



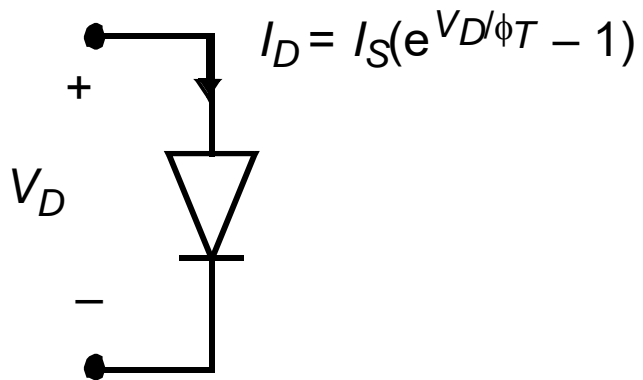
Representação
Uni-dimensional



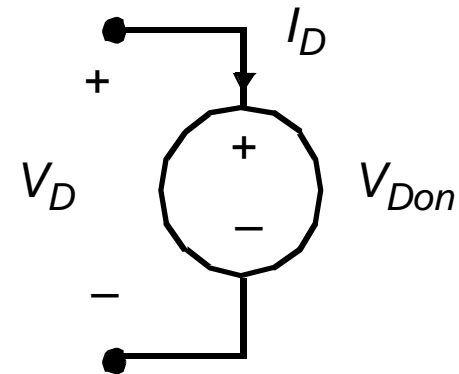
Símbolo do díodo

Em ICs digitais, na maioria, aparece como elemento parasita

Modelos para análise manual

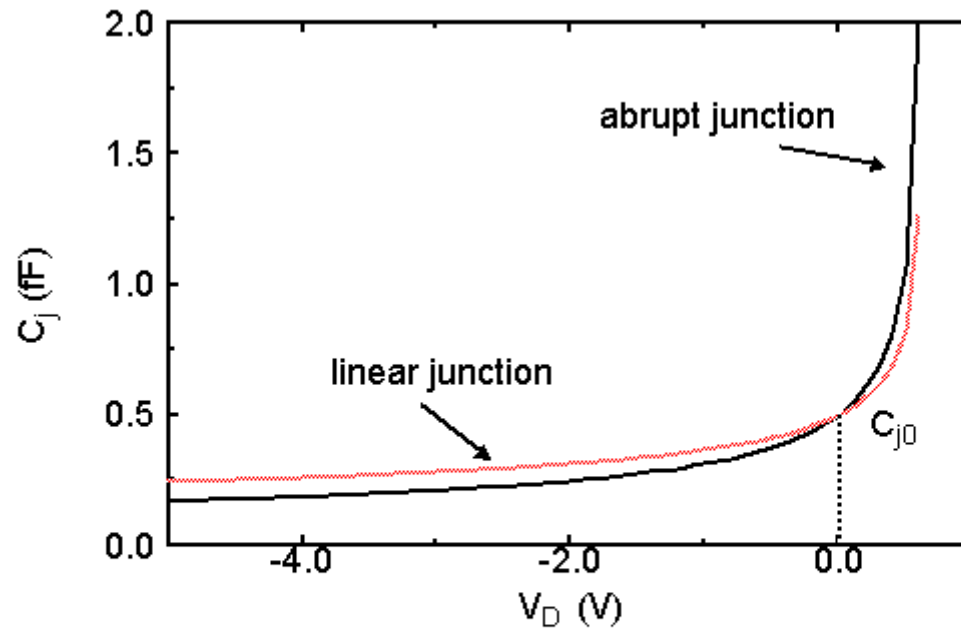


(a) Ideal diode model



(b) First-order diode model

Capacidade da junção

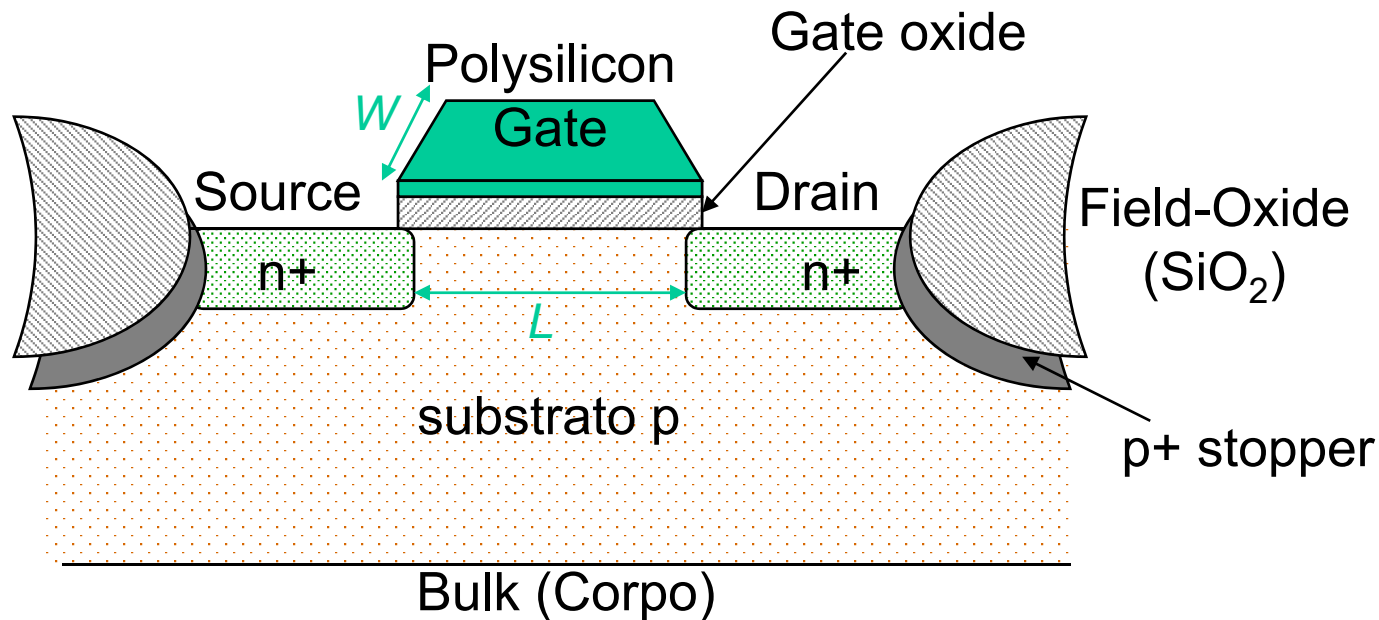


$$C_j = \frac{C_{j0}}{(1 - V_D / \phi_0)^m}$$

$m = 0.5$: abrupt junction
 $m = 0.33$: linear junction

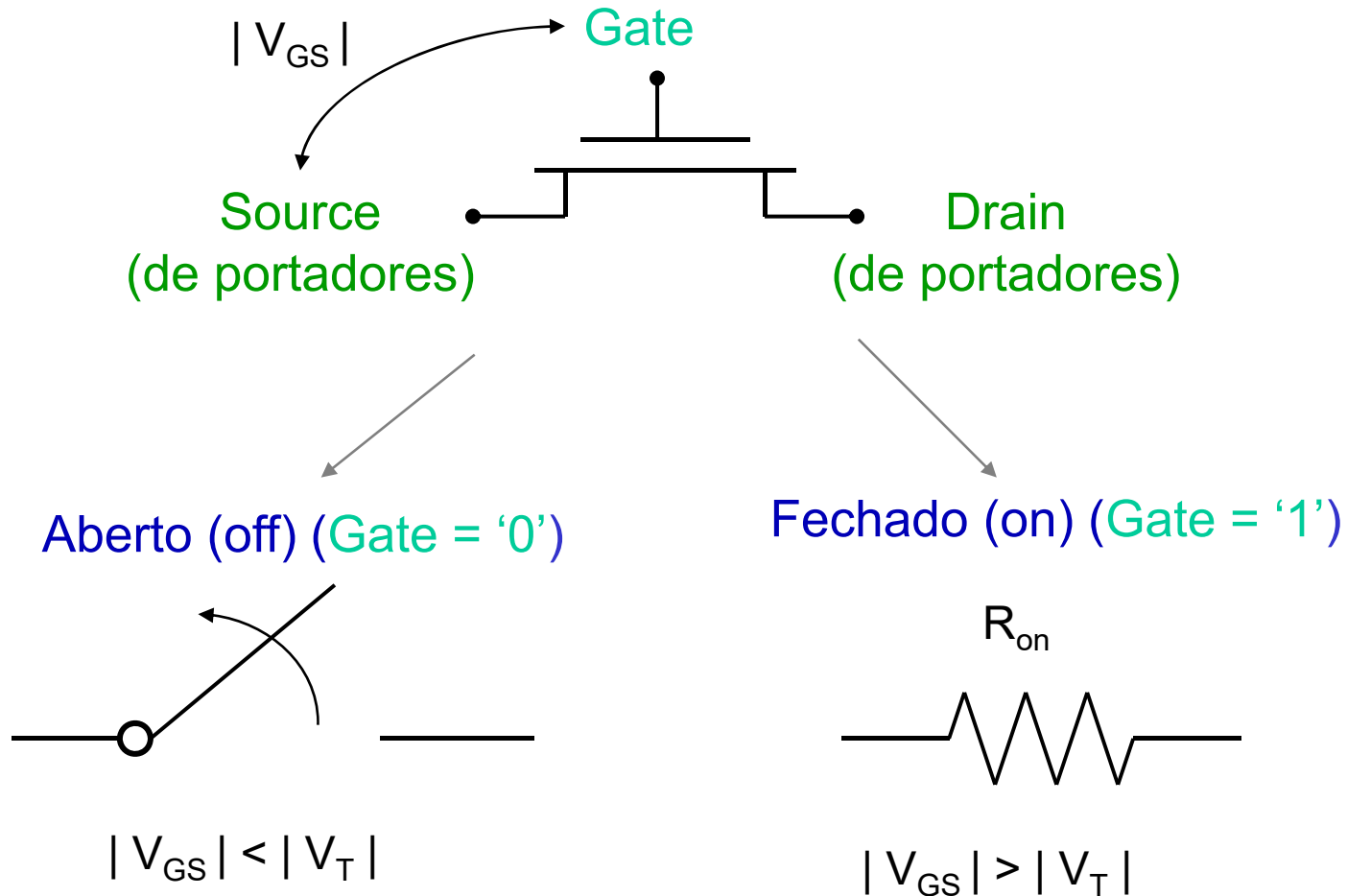
O perfil do transistor NMOS

áreas **n** foram dopadas com iões **dados** (arsénio) com concentração N_D – os electrões são os portadores maioritários

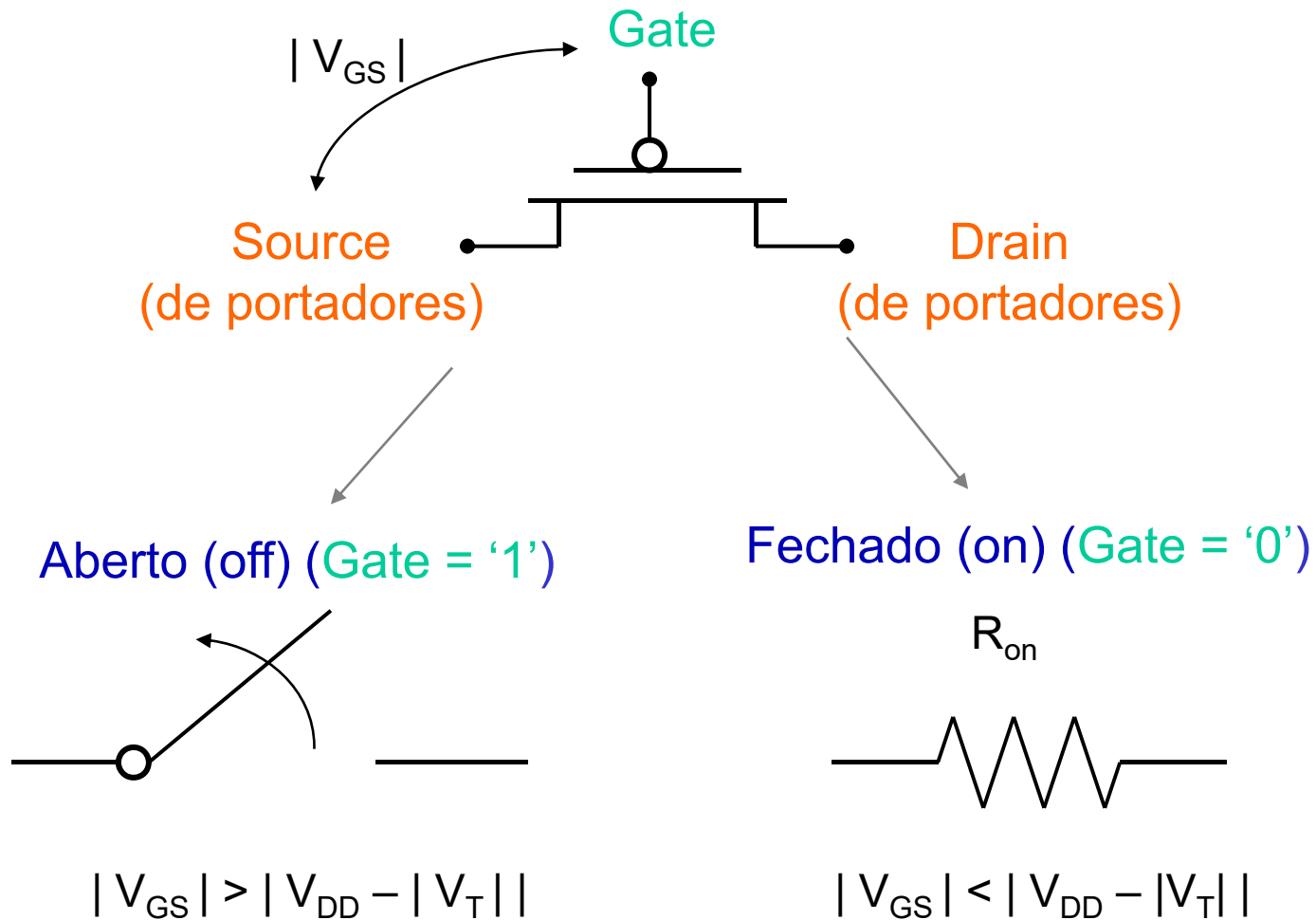


áreas **p** foram dopadas com iões **aceitadores** (boro) com concentração N_A – as lacunas são os portadores maioritários

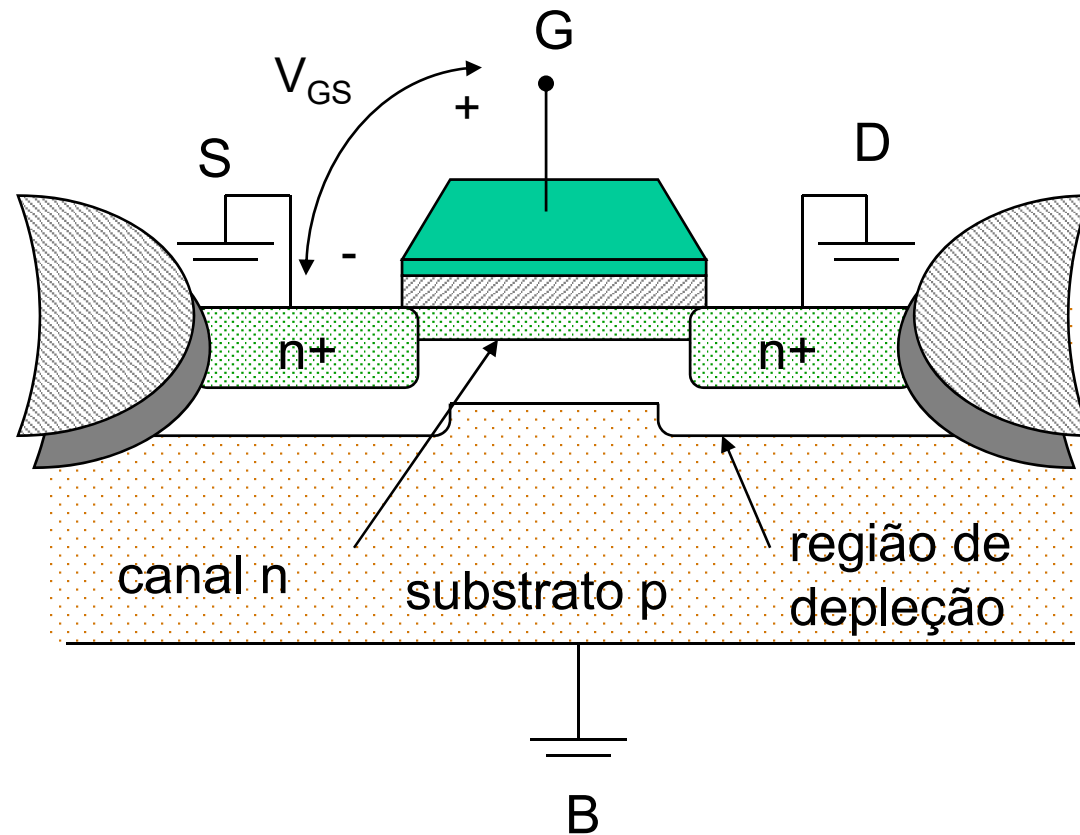
Modelo de comutação para o transístor NMOS



Modelo de comutação para o transístor PMOS



Conceito de tensão limiar



O valor de V_{GS} para o qual ocorre uma forte inversão é designado por tensão de limiar, V_T

Relação tensão-corrente : Região linear

Para dispositivos de canal-longo ($L > 0.25$ micron)

- Quando $V_{DS} \leq V_{GS} - V_T$

$$I_D = k'_n W/L [(V_{GS} - V_T)V_{DS} - V_{DS}^2/2]$$

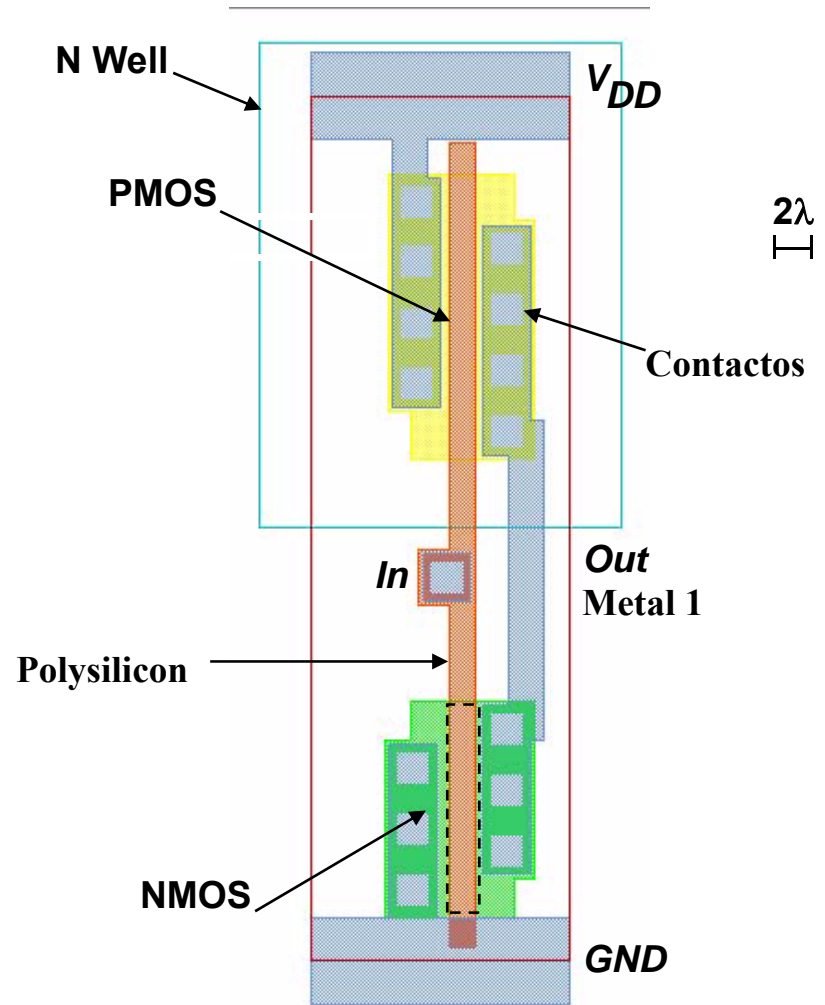
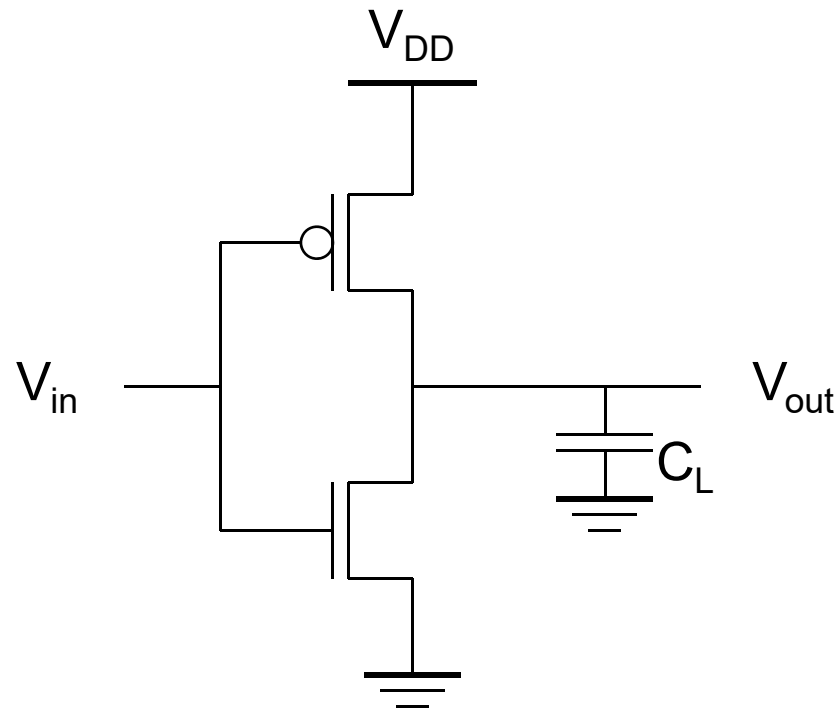
onde

$k'_n = \mu_n C_{ox} = \mu_n \epsilon_{ox}/t_{ox}$ = é o **parâmetro de transcondutância do processo** (μ_n é a mobilidade dos portadores ($m^2/Vsec$))

$k_n = k'_n W/L$ é o **factor de ganho** do dispositivo

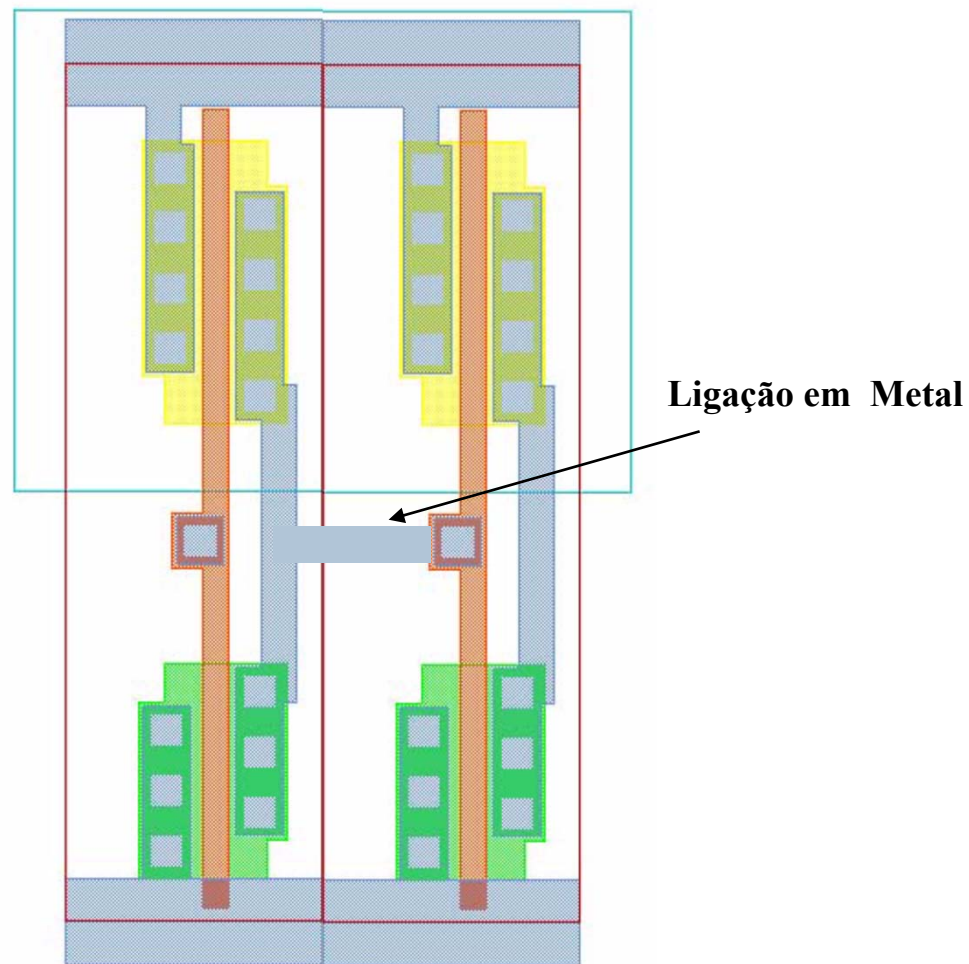
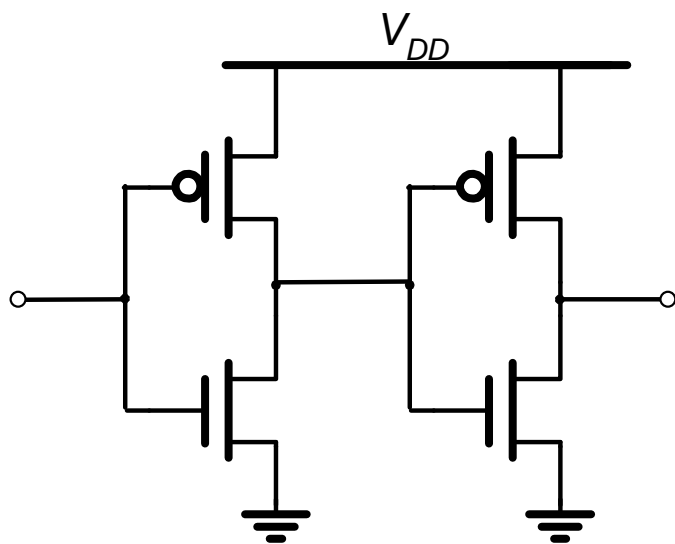
Para V_{DS} pequeno, existe uma dependência linear entre V_{DS} e I_D , daí o nome de região **resistiva** ou **linear**

Inversor CMOS

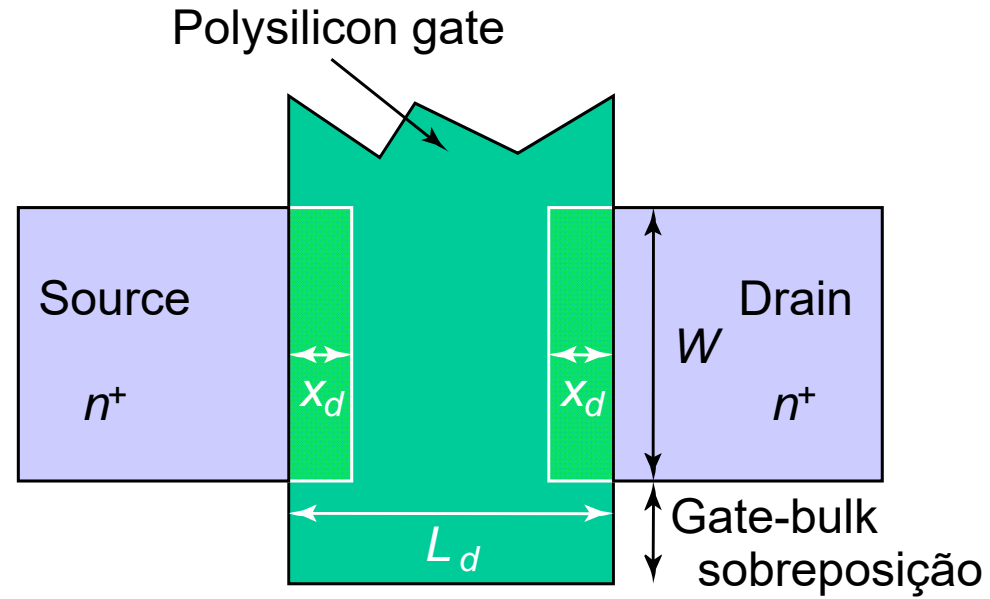


Inversor CMOS em cascata

Partilham alimentação
e GND

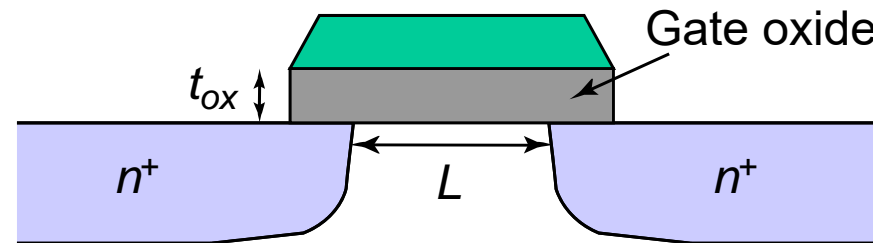


Capacidade da gate



$$C_{gate} = \frac{\epsilon_{ox}}{t_{ox}} WL$$

Top view



Cross section

Exercício

- 1) Se a largura do transistor aumentar, a corrente:
aumenta diminui não muda
- 2) Se o comprimento do transistor aumentar, a corrente:
aumenta diminui não muda
- 3) Se a tensão de alimentação aumentar, a corrente máxima do transistor:
aumenta diminui não muda
- 4) Se a largura do transistor aumentar, a capacidade da gate:
aumenta diminui não muda
- 5) Se o comprimento do transistor aumentar, a capacidade da gate:
aumenta diminui não muda
- 6) Se a tensão de alimentação aumentar, a capacidade da gate:
aumenta diminui não muda

Exercício

- 1) Se a largura do transistor aumentar, a corrente:
aumenta diminui não muda
- 2) Se o comprimento do transistor aumentar, a corrente:
aumenta diminui não muda
- 3) Se a tensão de alimentação aumentar, a corrente máxima do transistor:
aumenta diminui não muda
- 4) Se a largura do transistor aumentar, a capacidade da gate:
aumenta diminui não muda
- 5) Se o comprimento do transistor aumentar, a capacidade da gate:
aumenta diminui não muda
- 6) Se a tensão de alimentação aumentar, a capacidade da gate:
aumenta diminui não muda